

NCP1397A/B, NCV1397A/B

Высокопроизводительный контроллер резонансного режима со встроенными высоковольтными драйверами

NCP1397 - это высокопроизводительный контроллер, который может использоваться в полумостовых резонансных топологиях, таких как последовательные резонансные, параллельные резонансные и LLC-резонансные преобразователи. Он объединяет драйверы затвора на 600 В, упрощая компоновку и сокращая количество внешних компонентов. Благодаря своей уникальной архитектуре, включая генератор с управляемым напряжением 500 кГц, режим управления которого обеспечивает гибкость, когда требуется функция ИЛИ, NCP1397 предоставляет все необходимое для создания надежного и прочного источника питания в резонансном режиме.

NCP1397 предоставляет набор функций защиты с настраиваемыми параметрами для оптимизации любого приложения. К ним относятся: автоматическое восстановление или фиксация неисправности, отключение напряжения, разомкнутая оптопара, плавный пуск и защита от короткого замыкания. Мертвое время также регулируется для преодоления сквозного тока.

Функции

- Высокочастотный режим от 50 кГц до 500 кГц
- Плавающий высоковольтный драйвер 600 В
- Регулируемая минимальная частота переключения с точностью $\pm 3\%$
- Регулируемое мертвое время от 100 нС до 2 μ S.
- Последовательность запуска с помощью настраиваемого извне плавного пуска
- Защита от перебоев в работе для более простой ассоциации PFC
- Вход с фиксацией для условий серьезной неисправности, например Перегрев или OVP
- Вход на основе таймера с функцией автоматического восстановления для реакции на отложенное событие
- Защелка от перегрузки по току
- Отключение входа для немедленной реакции на событие или простого управления включением / выключением
- Работа V_{CC} до 20 В
- Низкий пусковой ток 300 μ A
- Пиковый ток закрытия/открытия силового транзистора 1 А / 0,5 А
- Подключение оптопары с общим коллектором для упрощения операции OR
- Дополнительное подключение оптопары с общим эмиттером
- Отключение внутренней температуры
- Префикс NCV для автомобильных и других приложений, требующих уникального сайта и требований к изменениям управления; Квалифицированный AEC-Q100 и возможность PPAР
- Эти устройства не содержат свинца, галогенов / бромсодержащего антипирена и соответствуют требованиям RoHS.

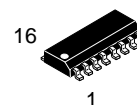
Typical Applications

- Flat Panel Display Power Converters
- High Power ac-dc Adapters for Notebooks
- Computing Power Supplies
- Industrial and Medical Power Sources
- Offline Battery Chargers



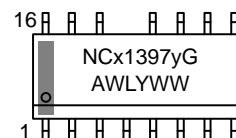
ON Semiconductor®

www.onsemi.com



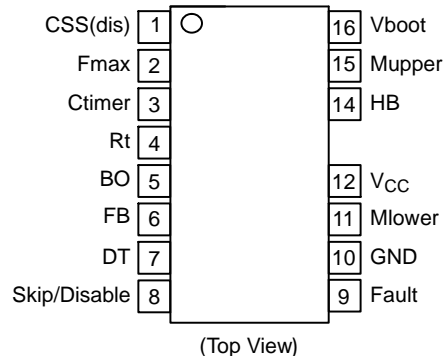
SO-16, LESS PIN 13
D SUFFIX
CASE 751AM

MARKING DIAGRAMS



x = P (standard) or V (automotive)
y = A or B
A = Assembly Location
WL = Wafer Lot
Y = Year
WW = Work Week
G = Pb-Free Package

PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 26 of this data sheet.

NCP1397A/B, NCV1397A/B

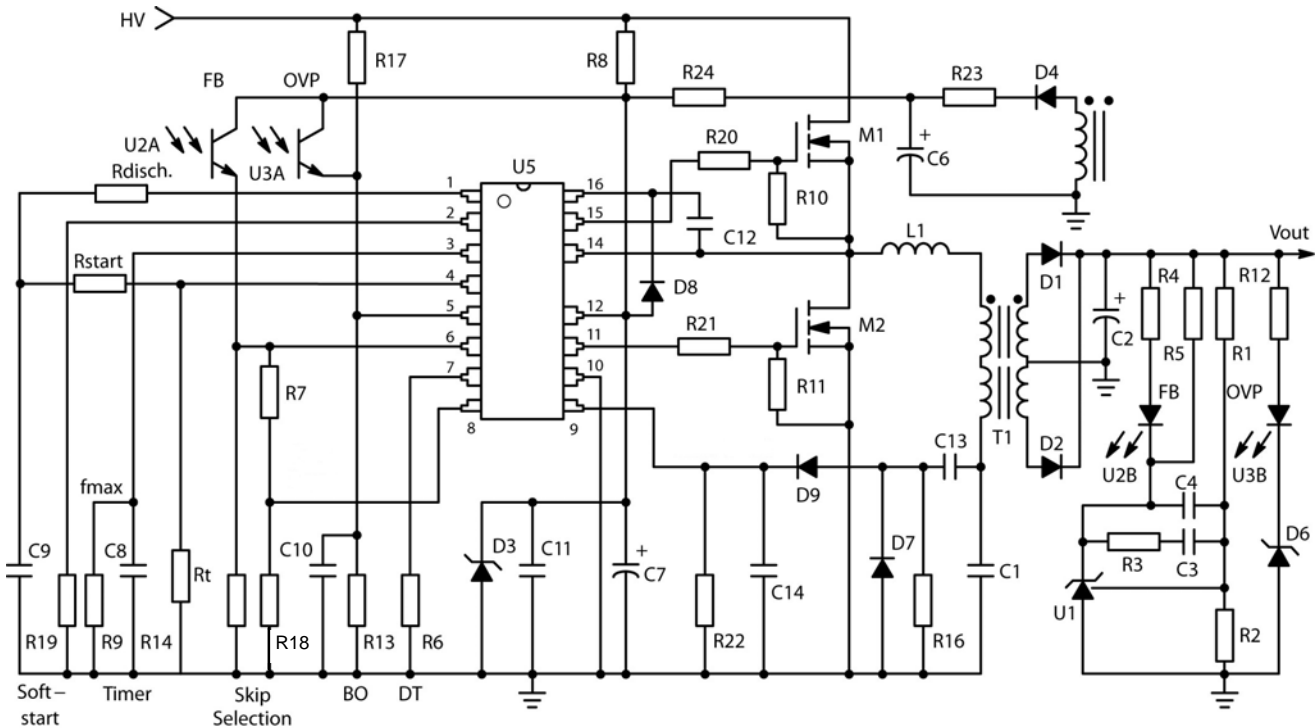


Figure 1. Typical Application Example

PIN FUNCTION DESCRIPTION

Pin #	Pin Name	Function	Pin Description
1	CSS(dis)	Soft-Start Discharge	Вывод разряда конденсатора плавного пуска. Подключите к конденсатору плавного пуска, чтобы сбросить его перед запуском или в условиях перегрузки.
2	Fmax	Maximum frequency clamp	Резистор устанавливает максимальное отклонение частоты
3	Ctimer	Timer duration	Устанавливает продолжительность таймера при наличии неисправности
4	Rt	Minimum frequency clamp	Подключение резистора к этому выводу устанавливает минимальную частоту генератора, достигаемую при $V_{FB} = 1$ В.
5	BO	Brown-Out	Обнаруживает условия низкого входного напряжения. При поднятии напряжения выше V_{latch} (обычно 4 В) он полностью отключает контроллер.
6	FB	Feedback	Подача тока на этот вывод увеличивает частоту колебаний до Fmax.
7	DT	Deadtime	Простой резистор регулирует ширину мертвого времени.
8	Skip/Disable	Skip or Disable input	После выпуска выполняется чистая последовательность запуска, если $V_{FB} < 0,3$ В. Во время пропуска в режиме, когда FB не падает ниже 0,3 В, ИС перезапускается без последовательности плавного пуска.
9	Fault	Fault detection input	<p>При подтверждении внешний таймер начинает обратный отсчет и выключает контроллер по истечении установленного времени. Одновременно с этим активируется выключатель разряда плавного пуска, так что рабочая частота преобразователя повышается для защиты силового каскада приложения. Этот вход также оснащен вторым компаратором неисправностей с более высоким порогом (обычно 1,5 В), который:</p> <p>A) ускоряет ток заряда конденсатора таймера в 8 раз - NCP1397A B) фиксирует ИС постоянно - NCP1397B</p> <p>В обеих версиях второй компаратор неисправностей помогает защитить приложение в случае короткого замыкания на выходе или вторичной обмотке трансформатора.</p>
10	GND	Analog ground	-
11	Mlower	Low side output	Управляет нижним MOSFET
12	V _{CC}	Supplies the controller	Контроллер принимает до 20 В
13	NC	Not connected	Вывод отсутствует для увеличения пробивного напряжения
14	HB	Half-bridge connection	Подключается к выходу полумоста
15	Mupper	High side output	Управляет верхним MOSFET
16	Vboot	Bootstrap pin	Питание плавающего V _{CC} для верхней ступени

NCP1397A/B, NCV1397A/B

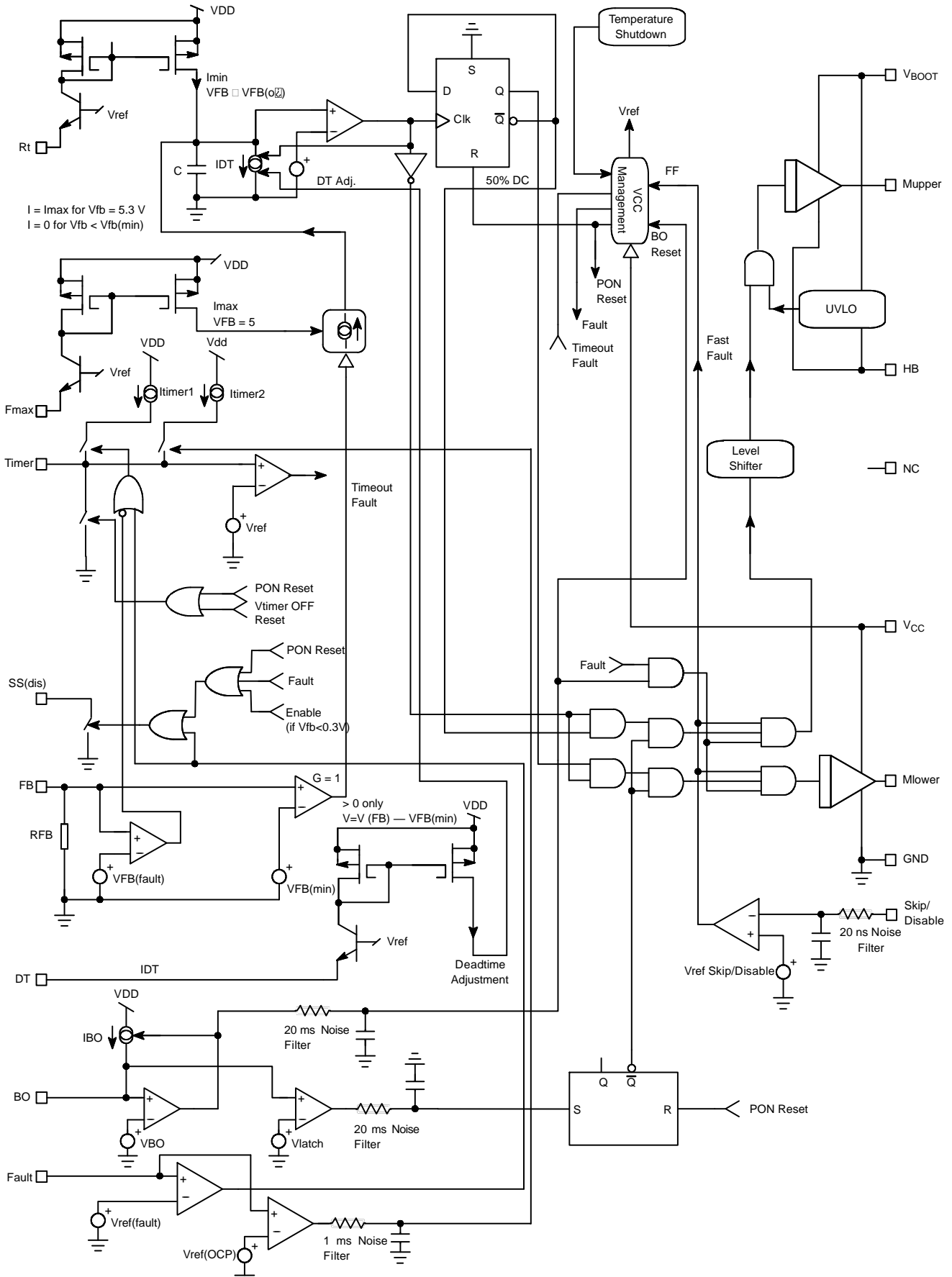


Figure 2. Internal Circuit Architecture (NCP1397A)

NCP1397A/B, NCV1397A/B

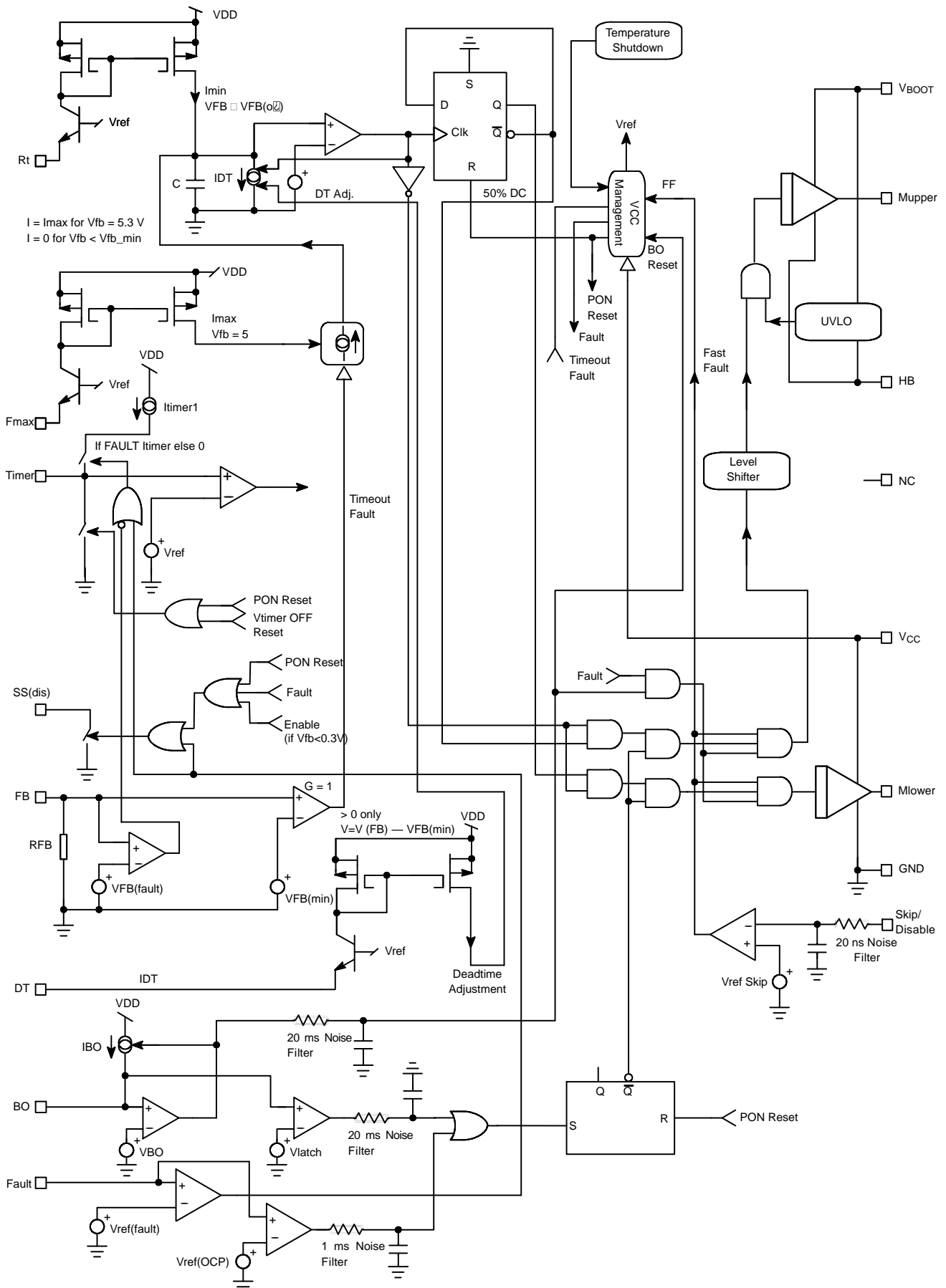


Figure 3. Internal Circuit Architecture (NCP1397B)

NCP1397A/B, NCV1397A/B

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
High Voltage bridge pin, pin 14	V_{BRIDGE}	-1 to 600	V
Floating supply voltage, ground referenced	$V_{\text{BOOT}} - V_{\text{BRIDGE}}$	0 to 20	V
High side output voltage	$V_{\text{DRV(HI)}}$	$V_{\text{BRIDGE}} - 0.3$ to $V_{\text{BOOT}} + 0.3$	V
Low side output voltage	$V_{\text{DRV(LO)}}$	-0.3 to $V_{\text{CC}} + 0.3$	V
Allowable output slew rate	dV_{BRIDGE}/dt	50	V/ns
Power Supply voltage, pin 12	V_{CC}	20	V
Maximum voltage, all pins (except pin 11 and 10)	-	-0.3 to 10	V
Thermal Resistance Junction-to-Air, SOIC version	$R_{\theta\text{JA}}$	130	°C/W
Storage Temperature Range	-	-60 to +150	°C
ESD Capability, Human Body Model (HBM) (All pins except HV pins)	-	2	kV
ESD Capability, Machine Model (MM)	-	200	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

1. This device(s) contains ESD protection and exceeds the following tests:
 Human Body Model 2000 V per JEDEC Standard JESD22-A114E
 Machine Model 200 V per JEDEC Standard JESD22-A115-A
2. This device meets latchup tests defined by JEDEC Standard JESD78.

NCP1397A/B, NCV1397A/B

ELECTRICAL CHARACTERISTICS

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

SUPPLY SECTION

$V_{CC(on)}$	Turn-on threshold level, V_{CC} going up	12	9.7	10.5	11.3	V
$V_{CC(min)}$	Minimum operating voltage after turn-on	12	8.7	9.5	10.3	V
$V_{boot(on)}$	Startup voltage on the floating section	16–14	8	9	10	V
$V_{boot(min)}$	Cutoff voltage on the floating section	16–14	7.4	8.4	9.4	V
$I_{startup}$	Startup current, $V_{CC} < V_{CC(on)}$	12	–	–	300	μA
$V_{CC(reset)}$	V_{CC} level at which the internal logic gets reset	12	–	6.6	–	V
I_{CC1}	Internal IC consumption, no output load on pin 15/14 – 11/10, $F_{SW} = 300\text{ kHz}$	12	–	4	–	mA
I_{CC2}	Internal IC consumption, 1 nF output load on pin 15/14 – 11/10, $F_{SW} = 300\text{ kHz}$	12	–	11	–	mA
I_{CC3}	Consumption in fault or disable mode (All drivers disabled, $R_t = 34\text{ k}\Omega$, $R_{DT} = 10\text{ k}\Omega$)	12	–	1.5	–	mA

VOLTAGE CONTROL OSCILLATOR (VCO)

$F_{SW(min)}$	Minimum switching frequency, $R_t = 34\text{ k}\Omega$ on pin 4, $V_{pin6} = 0.8\text{ V}$, $DT = 300\text{ ns}$	4	58.2	60	61.8	kHz
$F_{SW(max)}$	Maximum switching frequency, $R_{f(max)} = 1.9\text{ k}\Omega$ on pin 2, $V_{pin6} > 5.3\text{ V}$, $R_t = 34\text{ k}\Omega$, $DT = 300\text{ ns}$	2	440	500	560	kHz
FB_{SW}	Feedback pin swing above which $\Delta f = 0$	6	–	5.3	–	V
DC	Operating duty-cycle symmetry	11–15	48	50	52	%
T_{del1}	Delay before driver restart from fault or disable mode	–	–	700	–	ns
T_{del2}	Delay before driver restart after $V_{CC(on)}$ event (Note 4)	–	–	11	–	μs
$V_{ref(Rt)}$	Reference voltage for R_t pin	4	2.18	2.3	2.42	V

FEEDBACK SECTION

R_{FB}	Internal pulldown resistor	6	–	20	–	$\text{k}\Omega$
$V_{FB(min)}$	Voltage on pin 6 below which the FB level has no VCO action	6	–	1.1	–	V
$V_{FB(off)}$	Voltage on pin 6 below which the controller considers the FB fault	6	240	280	320	mV
$V_{FB(off)(hyste)}$	Feedback fault comparator hysteresis	6	–	45	–	mV

DRIVE OUTPUT

T_r	Output voltage risetime @ $C_L = 1\text{ nF}$, 10–90% of output signal	15–14/11–10	–	40	–	ns
T_f	Output voltage falltime @ $C_L = 1\text{ nF}$, 10–90% of output signal	15–14/11–10	–	20	–	ns
R_{OH}	Source resistance	15–14/11–10	–	13	–	Ω
R_{OL}	Sink resistance	15–14/11–10	–	5.5	–	Ω
T_{dead}	Deadtime with $R_{DT} = 10\text{ k}\Omega$ from pin 7 to GND	7	250	290	340	ns
$T_{dead(max)}$	Maximum deadtime with $R_{DT} = 82\text{ k}\Omega$ from pin 7 to GND	7	–	2	–	μs
$T_{dead(min)}$	Minimum deadtime, $R_{DT} = 3\text{ k}\Omega$ from pin 7 to GND	7	–	100	–	ns
$I_{HV(LEAK)}$	Leakage current on high voltage pins to GND	14, 15, 16	–	–	5	μA

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

- The IC does not activate soft-start (unless the feedback pin voltage is below 0.3 V) when the skip/disable input is released, this is for skip cycle implementation.
- Guaranteed by design.

NCP1397A/B, NCV1397A/B

ELECTRICAL CHARACTERISTICS (continued)

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

TIMERS

I_{timer1}	Timer capacitor charge current during feedback fault or when $V_{\text{ref(fault)}} < V_{\text{pin9}} < V_{\text{ref(OCP)}}$	3	150	175	190	μA
I_{timer2}	Timer capacitor charge current when $V_{\text{pin9}} > V_{\text{ref(OCP)}}$ ($I_{\text{charge1}} + I_{\text{charge2}}$) – A version only	3	1.1	1.3	1.5	mA
T_{timer}	Timer duration with a $1\ \mu\text{F}$ capacitor and a $1\ \text{M}\Omega$ resistor, I_{timer1} current applied	3	–	24	–	ms
T_{timerR}	Timer recurrence in permanent fault, same values as above	3	–	1.4	–	s
$V_{\text{timer(on)}}$	Voltage at which pin 3 stops output pulses	3	3.8	4	4.2	V
$V_{\text{timer(off)}}$	Voltage at which pin 3 restarts output pulses	3	0.95	1	1.05	V
$R_{\text{SS(dis)}}$	Soft-start discharge switch channel resistance	1	–	100	–	Ω

PROTECTION

$V_{\text{ref(Skip)}}$	Reference voltage for Skip/Disable input (Note 4)	8	630	660	690	mV
$\text{Hyste}_{\text{(Skip)}}$	Hysteresis for Skip/Disable (Note 4)	8	–	45	–	mV
$V_{\text{ref(Fault)}}$	Reference voltage for Fault comparator	9	0.99	1.04	1.09	V
$\text{Hyste}_{\text{(Fault)}}$	Hysteresis for fault comparator input	9	–	60	–	mV
$V_{\text{ref(OCP)}}$	Reference voltage for OCP comparator	9	1.47	1.55	1.63	V
$\text{Hyste}_{\text{(OCP)}}$	Hysteresis for OCP comparator input	9	–	90	–	mV
$T_{\text{p(Disable)}}$	Propagation delay from disable input to the drive shutdown	8	–	60	100	ns
$\text{IBO}_{\text{(bias)}}$	Brown-Out input bias current	5	–	0.02	–	μA
VBO	Brown-Out level	5	0.99	1.04	1.09	V
IBO	Hysteresis current, $V_{\text{pin5}} > \text{VBO}$	5	25	28	31	μA
V_{latch}	Latching voltage	5	3.7	4	4.3	V
T_{SD}	Temperature shutdown	–	140	–	–	$^\circ\text{C}$
$T_{\text{SD(hyste)}}$	Hysteresis	–	–	30	–	$^\circ\text{C}$

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

- The IC does not activate soft-start (unless the feedback pin voltage is below 0.3 V) when the skip/disable input is released, this is for skip cycle implementation.
- Guaranteed by design.

NCP1397A/B, NCV1397A/B

TYPICAL CHARACTERISTICS

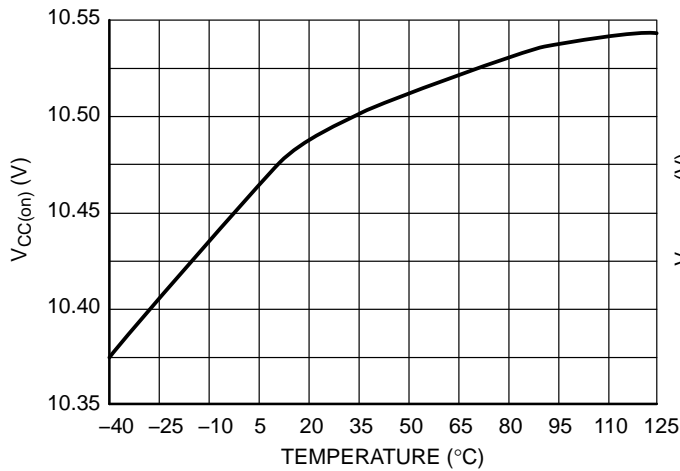


Figure 4. $V_{CC(on)}$ Threshold

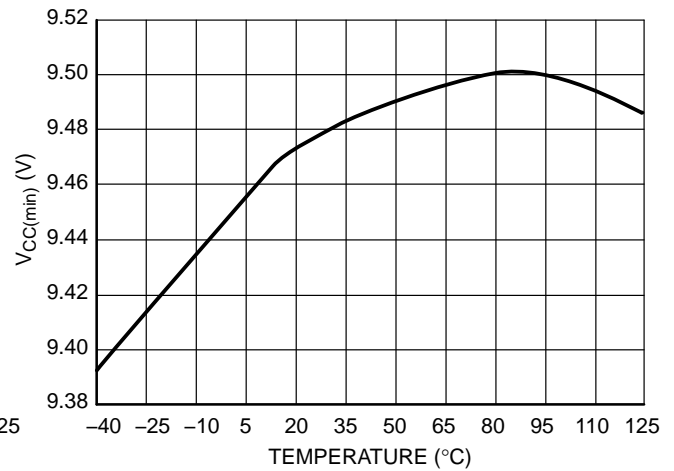


Figure 5. $V_{CC(min)}$ Threshold

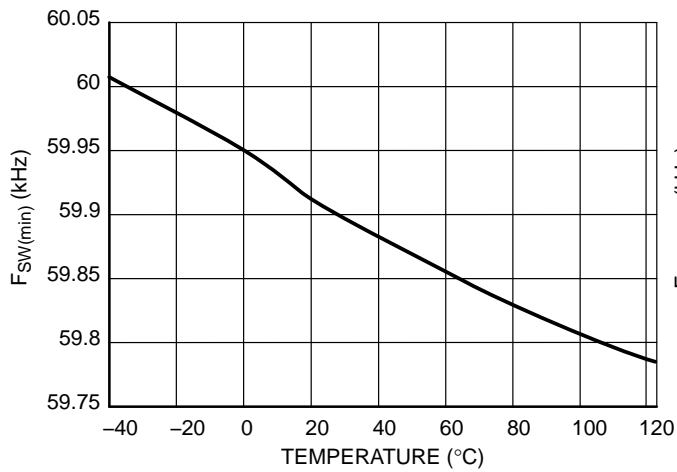


Figure 6. $F_{SW(min)}$ Frequency Clamp

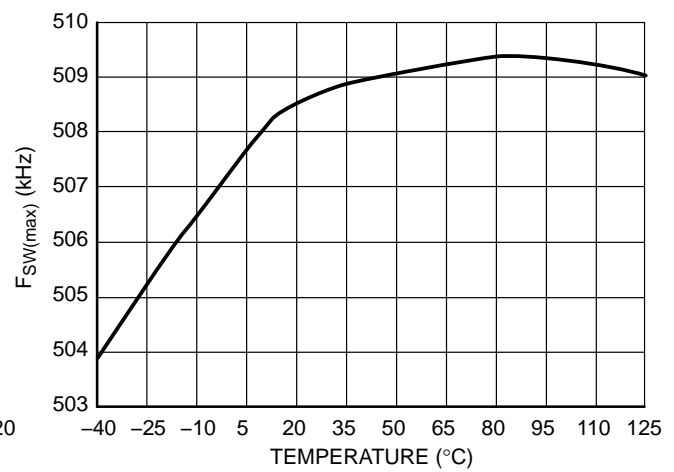


Figure 7. $F_{SW(max)}$ Frequency Clamp

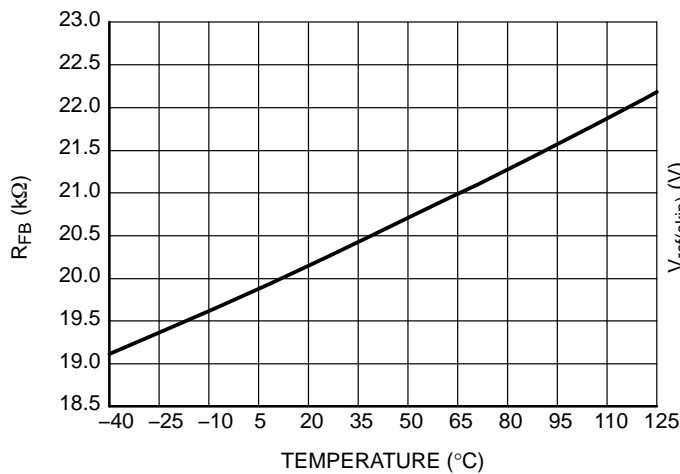


Figure 8. Pulldown Resistor (R_{FB})

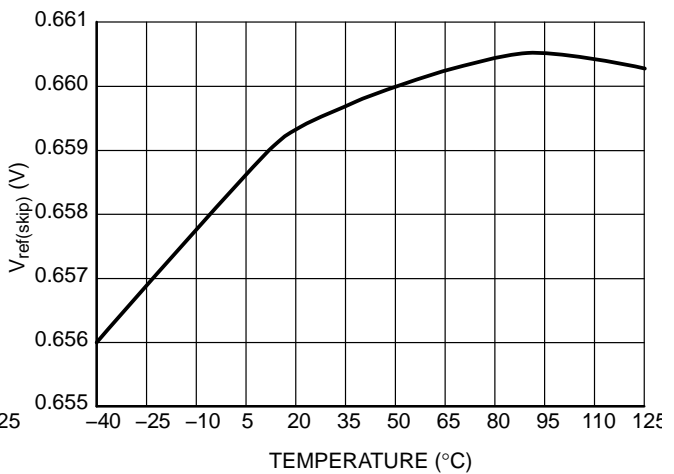


Figure 9. Skip/Disable Threshold ($V_{ref(skip)}$)

NCP1397A/B, NCV1397A/B

TYPICAL CHARACTERISTICS

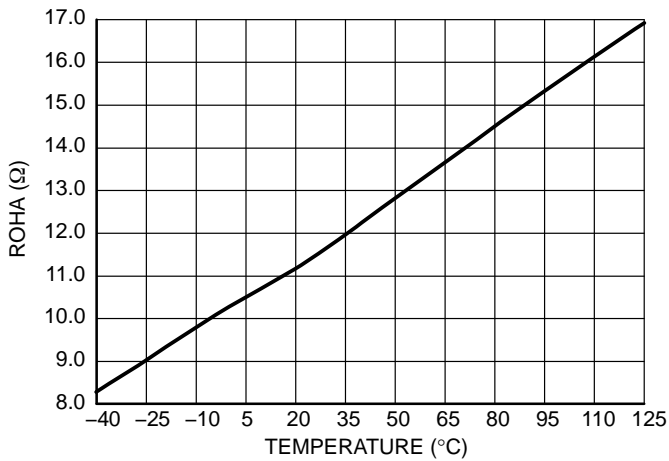


Figure 10. Source Resistance (ROH)

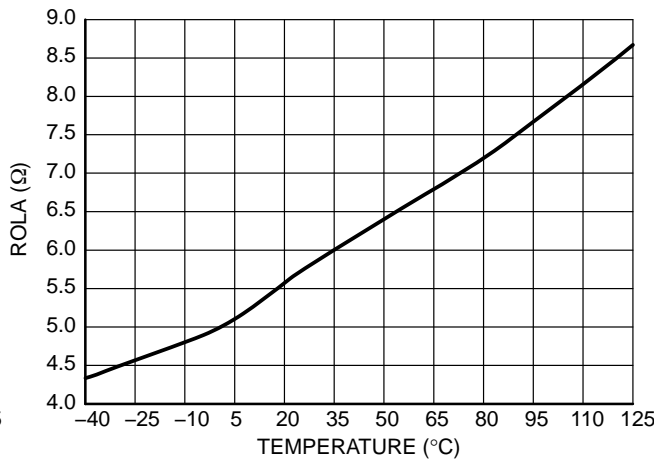


Figure 11. Sink Resistance (ROL)

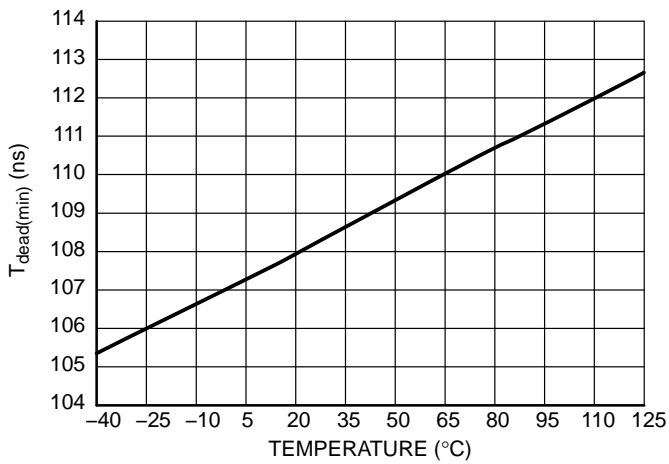


Figure 12. $T_{\text{dead(min)}}$

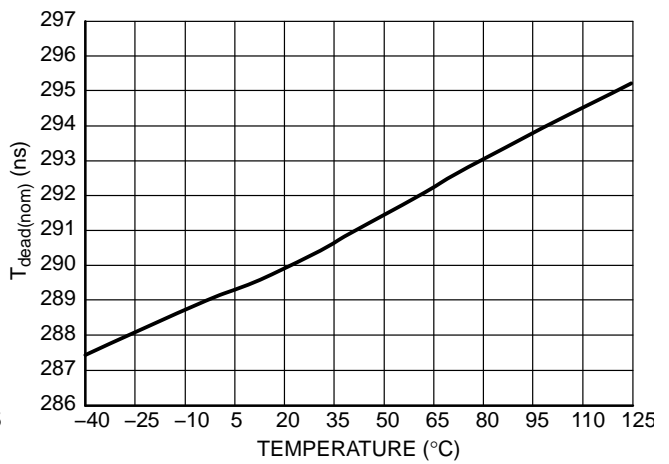


Figure 13. $T_{\text{dead(nom)}}$

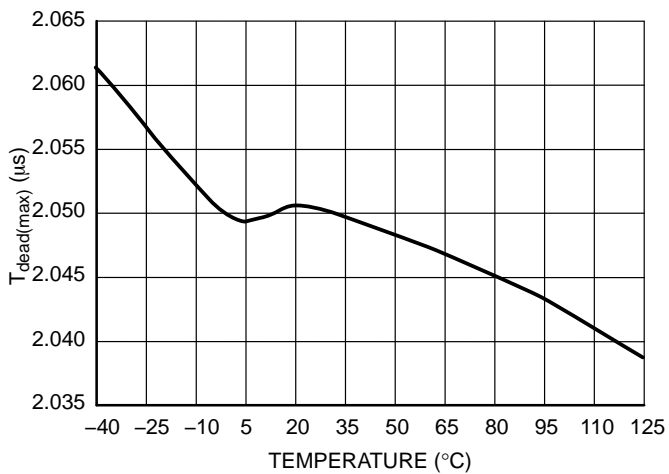


Figure 14. $T_{\text{dead(max)}}$

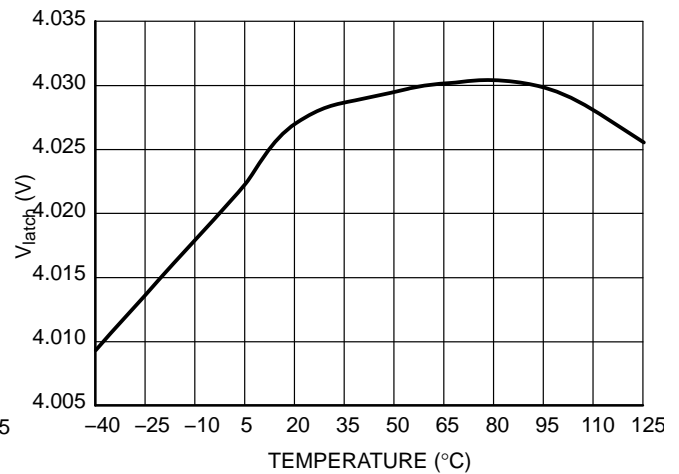


Figure 15. Latch Level (V_{latch})

NCP1397A/B, NCV1397A/B

TYPICAL CHARACTERISTICS

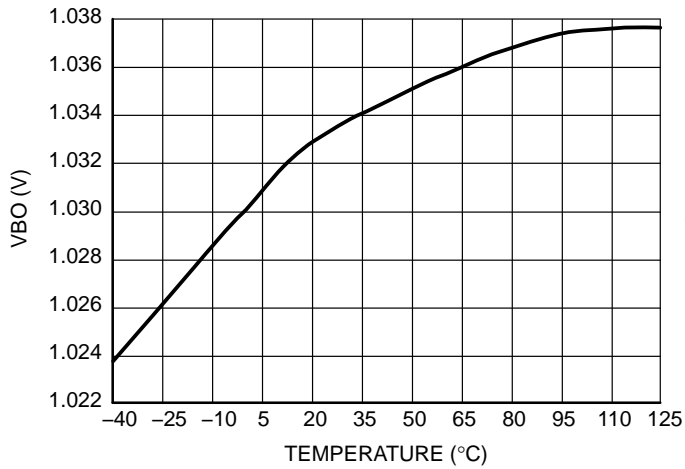


Figure 16. Brown-Out Reference (VBO)

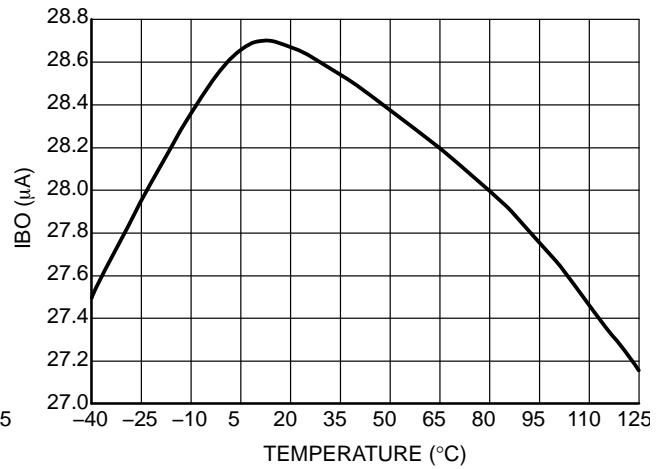


Figure 17. Brown-Out Hysteresis Current (IBO)

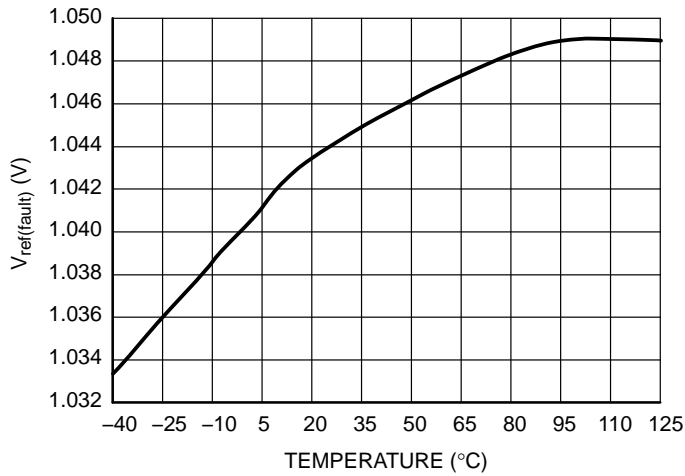


Figure 18. Fault Input Reference (V_{ref(fault)})

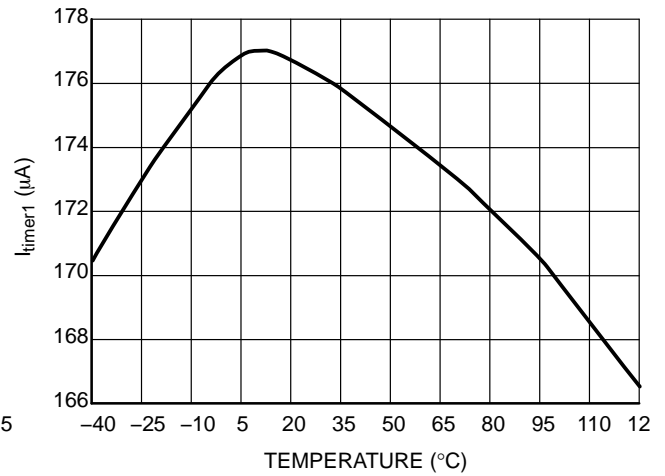


Figure 19. C_{timer} 1st Current (I_{timer1})

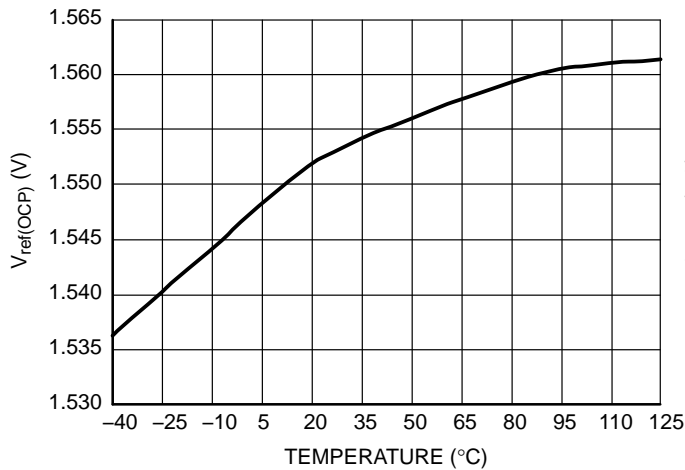


Figure 20. OCP reference (V_{ref(OCP)})

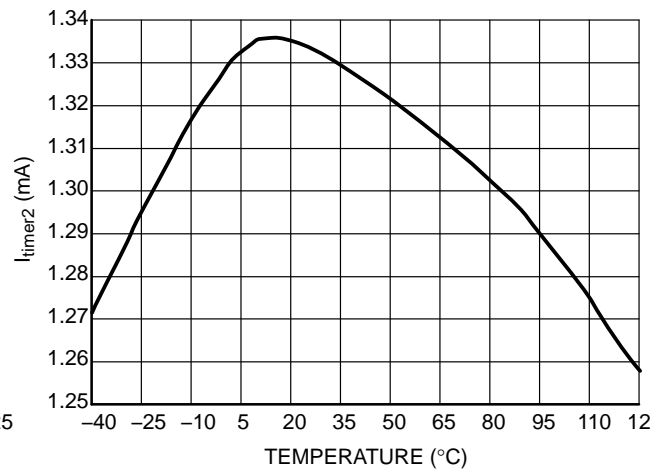


Figure 21. C_{timer} 2nd Current (I_{timer2})

NCP1397A/B, NCV1397A/B

TYPICAL CHARACTERISTICS

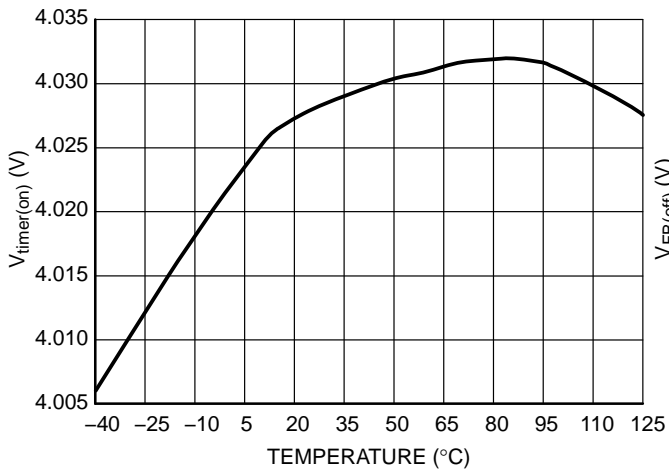


Figure 22. Fault Timer Ending Voltage (V_{timer(on)})

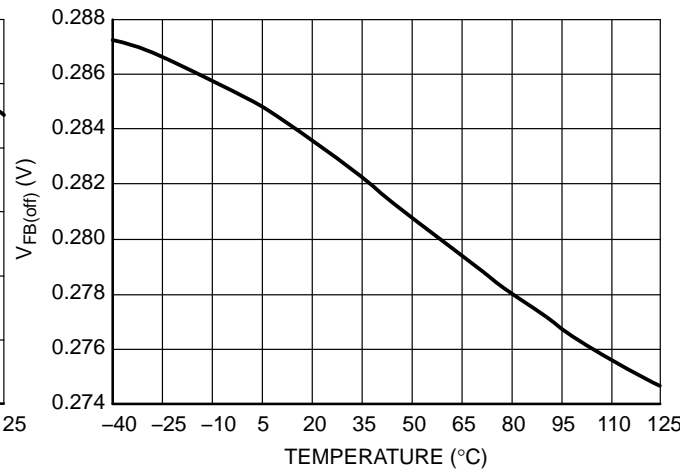


Figure 23. FB Fault Detection Threshold (V_{FB(fault)})

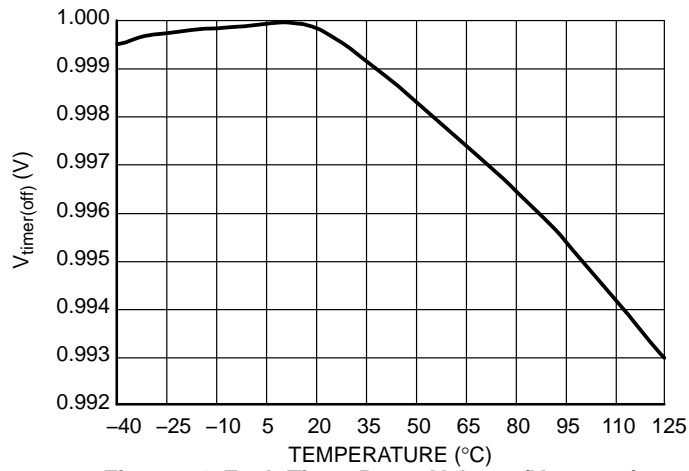


Figure 24. Fault Timer Reset Voltage (V_{timer(off)})

NCP1397A/B, NCV1397A/B

APPLICATION INFORMATION

NCP1397A / B включает в себя все необходимые функции, помогающие создать прочный и безопасный импульсный источник питания с чрезвычайно низким энергопотреблением в режиме ожидания. Ниже перечислены преимущества, которые дает реализация контроллера NCP1397A / B:

- **Широкий частотный диапазон:** высокоскоростной осциллятор управления напряжением позволяет изменять выходную частоту от 50 кГц до 500 кГц на выходах M_{lower} и M_{upper} .
- **Регулируемое мертвое время:** Благодаря одному резистору, подключенному к земле, пользователь имеет возможность включить некоторое время простоя (DT), помогая бороться с перекрестной проводимостью между верхним и нижним транзисторами.
- **Регулируемый плавный пуск:** Каждый раз, когда контроллер начинает работать (при включении питания), частота переключения повышается до запрограммированного начального значения внешними компонентами ($R_{Fmin} // R_{Fstart}$) и медленно понижается до минимальной частоты, пока не замкнется контур обратной связи. Вход плавного пуска для зарядки (SS (dis)) разряжает конденсатор плавного пуска перед любым перезапуском ИС, за исключением перезапуска после снятия блокировки И напряжение FB выше 0,3 В. Переключатель разряда плавного пуска также активируется в случае неисправности. вход определяет условия перегрузки.
- **Регулируемое отклонение минимальной и максимальной частоты:** В резонансных приложениях важно держаться подальше от резонирующего пика, чтобы преобразователь продолжал работать в правильной области. Благодаря единственному внешнему резистору разработчик может запрограммировать точку самой низкой частоты, полученную при отсутствии напряжения обратной связи (во время последовательности запуска или в условиях короткого замыкания). Конденсаторы с внутренней подстройкой обеспечивают точность выбора минимальной частоты коммутации $\pm 3\%$. Регулируемый верхний упор менее точен до $\pm 12\%$.
- **Низкий пусковой ток:** при прямом питании от высоковольтной шины постоянного тока устройству для запуска требуется всего 300 μA .
- **Обнаружение перебоев в работе:** Чтобы избежать работы при низком входном напряжении, необходимо предотвратить переключение контроллера, если шина высокого напряжения выходит за допустимые пределы. Кроме того, при объединении со схемой внешнего интерфейса PFC обнаружение обесточивания может гарантировать чистую последовательность запуска с плавным запуском, гарантируя, что PFC стабилизируется перед подачей питания на резонансный резервуар. Вход VO имеет гистерезисный ток 28 μA для минимального потребления.
- **Регулируемая продолжительность таймера неисправности:** при обнаружении неисправности на входе неисправности или при разрыве цепи FB вывод таймера начинает заряжать внешний конденсатор. Если неисправность устранена, таймер открывает путь зарядки и ничего не происходит. Когда таймер достигает выбранной длительности (через конденсатор на выводе 3), все импульсы прекращаются. Теперь контроллер ожидает разрядки через внешний резистор на выводе 3, чтобы выдать новую чистую последовательность запуска через мягкий запуск.

- **Кумулятивные события неисправности:** в NCP1397A / B конденсатор таймера не сбрасывается, когда неисправность исчезает. Фактически он объединяет информацию и суммирует события. Резистор, установленный параллельно конденсатору, предлагает простой способ регулировки скорости разряда и, следовательно, скорости повторных попыток автоматического восстановления.
- **Обнаружение перегрузки по току с помощью входа неисправности:** вход неисправности специально разработан для защиты приложения LLC в случае короткого замыкания или перегрузки. Если напряжение на этом входе превышает первое пороговое значение, активируется источник тока I_{timer} и конденсатор таймера неисправности начинает заряжаться. Одновременно с этим активируется разрядный выключатель плавного пуска для увеличения рабочей частоты преобразователя. ИС прекращает работу по истечении таймера неисправности. Вход неисправности включает также второй компаратор неисправностей, который:
 - Ускоряет заряд конденсатора таймера неисправности за счет увеличения тока I_{timer1} до I_{timer2} - NCP1397A
 - Блокирует устройство - NCP1397B

Таким образом, второй компаратор неисправностей помогает защитить силовой каскад в случае сильного короткого замыкания (например, короткого замыкания обмотки трансформатора и т. д.).

- **Возможность пропуска цикла:** Отсутствие плавного пуска на входе пропуска / отключения (в случае $V_{FB} > 0,3 V$) предлагает простой способ реализации пропуска цикла, когда необходимы функции энергосбережения. Может быть реализован простой резистивный делитель от вывода обратной связи до входа пропуска / отключения и пропуска.
- **Обнаружение разрыва цепи обратной связи:** при запуске или в любой момент во время работы, если сигнал FB отсутствует, таймер начинает заряжать конденсатор таймера. Если цикл действительно разорван, уровень FB не увеличивается до того, как таймер закончит зарядку. Затем контроллер останавливает все импульсы и ждет, пока напряжение на выводе таймера не упадет до 1 В, как правило, перед новой попыткой перезапуска через мягкий старт. Если оптопара полностью сломана, происходит сбой.
- **Варианты подключения оптопары с общим коллектором или общим эмиттером:** эта ИС позволяет разработчику выбирать из двух возможных конфигураций оптопары.

Осциллятор, управляемый напряжением

Секция VCO имеет высокоскоростную схему, позволяющую работать от 100 кГц до 1 МГц. Однако, поскольку деление на два внутри создает два выхода Q и / Q, последний эффективный сигнал на выходе M_{lower} и M_{upper} переключаются между 50 кГц и 500 кГц. ГУН настроен таким образом, что при повышении напряжения на выводе обратной связи повышается и частота коммутации. На рисунке 25 показана архитектура генератора VCO.

NCP1397A/B, NCV1397A/B

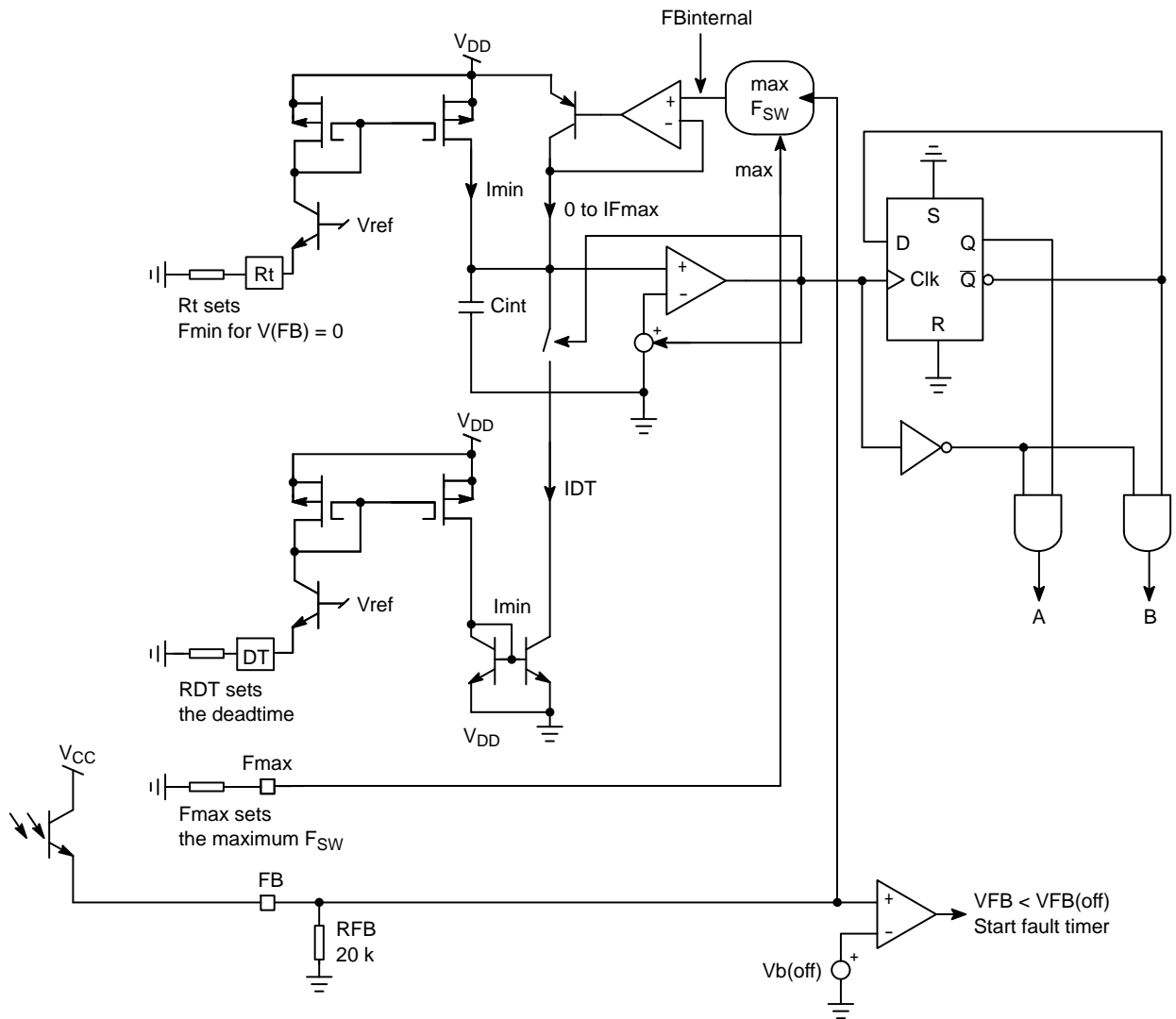


Figure 25. The Simplified VCO Architecture

Разработчику необходимо запрограммировать максимальную частоту переключения и минимальную частоту переключения. В конфигурациях LLC для схем, работающих выше резонансной частоты, требуется высокая точность при минимальном частота, следовательно, спецификация 3%. Эта минимальная частота переключения фактически достигается, когда обратная связь не замыкает контур. Это может произойти во время последовательности запуска, сильной переходной нагрузки на выходе или в состоянии короткого замыкания. Установив резистор между выводом 4 и заземлением, устанавливается минимальная частота. Используя ту же философию, подключение резистора от контакта 2 к GND установит максимальное отклонение частоты. Чтобы улучшить функции защиты цепи, мы специально создали мертвую зону, в которой контур обратной связи не действует. Обычно оно ниже 1,1 В. На рисунке 26 подробно показано устройство, при котором внутреннее напряжение (которое управляет ГУН) изменяется от 0 до 2,3 В. Однако для создания этого колебания потребуются вывод обратной связи (к которому подключается эмиттер оптпары). обычно колеблется между 1,1 В и 5,3 В.

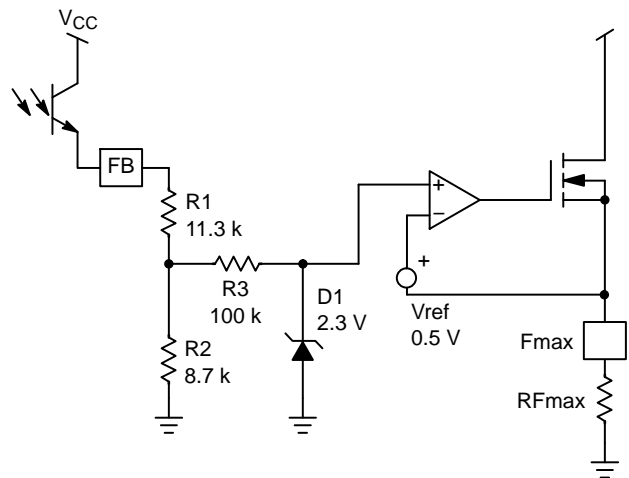


Figure 26. Устройство OPAMP ограничивает сигнал модуляции VCO между 0,5 и 2,3 В.

NCP1397A/B, NCV1397A/B

Этот метод позволяет нам обнаруживать неисправность преобразователя в случае, если на выводе FB не может подняться напряжение выше 0,3 В (чтобы фактически замкнуть контур) менее чем за время, установленное программируемым таймером. Пожалуйста, обратитесь к разделу неисправностей для получения подробной информации о работе этого режима.

Как показано на рисунке 26, внутренняя динамика управляющего напряжения ГУН будет ограничена между 0,5 В и 2,3 В, тогда как контур обратной связи будет управлять выводом 6 (FB) в диапазоне от 1,1 В до 5,3 В. Если мы возьмем ход по умолчанию для вывода FB. чисел, 1,1 В = 50 кГц, 5,3 В = 500 кГц, то максимальный наклон ГУН будет:

$$\frac{500 \text{ k} - 50 \text{ k}}{4.2} = 107 \text{ kHz/V}$$

На рисунках 27 и 28 показано изменение частоты в зависимости от уровня напряжения на выводе обратной связи при различных комбинациях фиксаторов частоты.

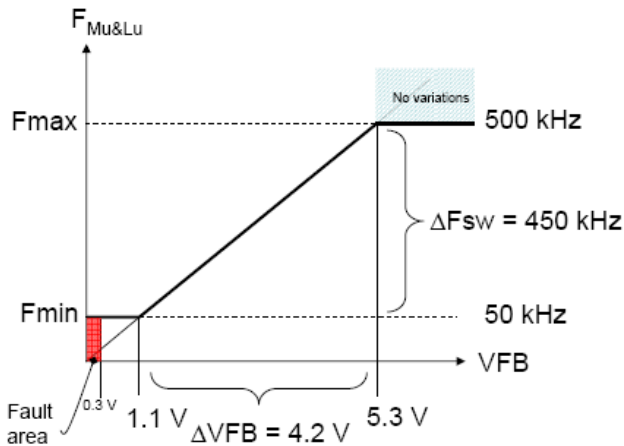


Figure 27. Максимальная экскурсия по умолчанию, $R_t = 41 \text{ кОм}$ на выводе 4 и R_F (макс.) = 1,9 кОм на выводе 2

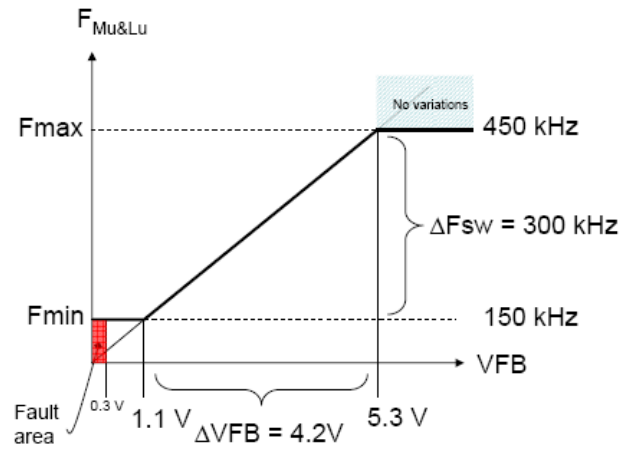


Figure 28. Здесь была запрограммирована другая минимальная частота, а также отклонение от максимальной частоты.

Обратите внимание, что предыдущая крутизна ГУН для слабого сигнала теперь была уменьшена до $300 \text{ кГц} / 4,1 = 71 \text{ кГц} / \text{В}$ на выходах Mupper и Mlower. Это дает возможность увеличить отклонение обратной связи в системах, в которых диапазон нагрузки не вызывает большого отклонения частоты переключения. Благодаря этой опции мы увидим, как становится возможным наблюдать за уровнем обратной связи и реализовывать цикл пропуска при малых нагрузках. Важно отметить, что изменение частоты не имеет реальной линейной зависимости от напряжения обратной связи. Это связано с наличием мертвого времени, которое остается постоянным при изменении периода переключения.

Для выбора трех установочных резисторов (F_{max} , F_{min} и deadtime) необходимо использовать таблицы выбора, показанные ниже:

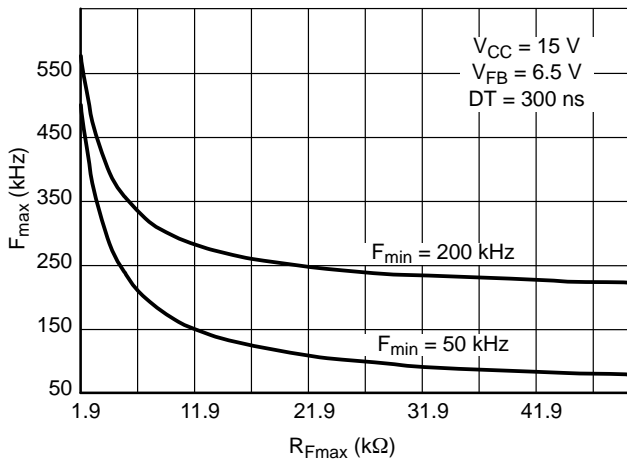


Figure 29. Резистор максимальной частоты переключения
Выбор в зависимости от принятой минимальной частоты переключения

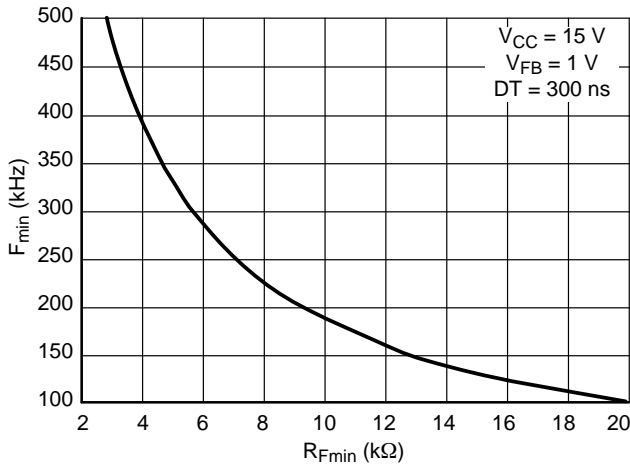


Figure 30. Выбор резистора с минимальной частотой переключения (F_{min} = от 100 кГц до 500 кГц)

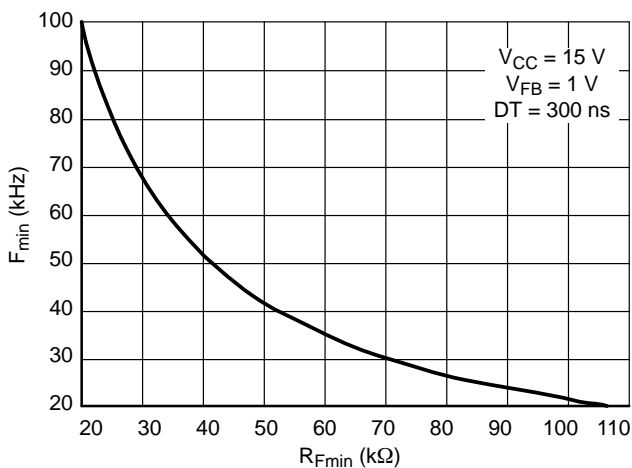


Figure 31. Резистор минимальной частоты переключения
Выбор (F_{min} = от 20 кГц до 100 кГц)

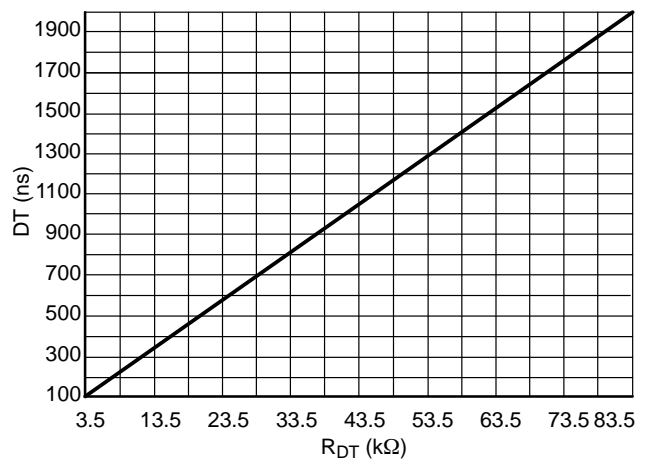


Figure 32. Выбор резистора мертвого времени
Возможность ORing и конфигурации подключения оптопары.

Если по какой-либо конкретной причине существует необходимость в изменении частоты, связанном с возникновением события (вместо внезапной остановки импульсов), то вывод FB очень хорошо подходит для добавления других циклов качания. Можно легко использовать несколько диодов для выполнения работы в случае реакции на событие неисправности или для регулирования выходного тока (режим CC).

На рисунке 33 показано, как это сделать.

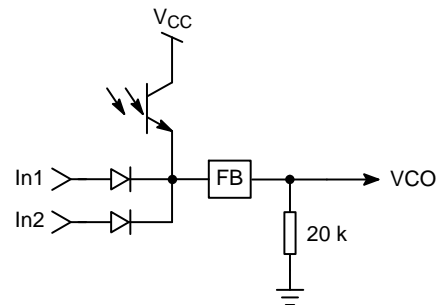


Figure 33. Благодаря конфигурации FB, Loop ORing легко реализовать

Конфигурация ГУН, используемая в этой ИС, также предлагает простой способ подключения оптопары (или понижающего биполярного сигнала) непосредственно к выводу Rt вместо вывода FB (см. Рисунки 34 и 35). Затем оптопара настраивается как «общий эмиттер», а рабочая частота регулируется током, снимаемым с вывода Rt - у нас есть генератор контроллера тока (CCO). Если используется эта конфигурация, необходимо поддерживать напряжение на выводе FB от 0,3 В до 1 В, иначе будет обнаружена неисправность FB. Вывод FB может по-прежнему использоваться для обнаружения разомкнутого контура FB в некоторых приложениях - для этого необходимо поддерживать напряжение эмиттера оптопары выше 0,3 В для условий номинальной нагрузки. Нужно принимать РФБ при использовании этой конфигурации необходимо учитывать понижающий резистор. Можно реализовать режим пропуска с помощью резисторов входа и эмиттера R_{skip1} и R_{skip2} для пропуска / отключения.

NCP1397A/B, NCV1397A/B

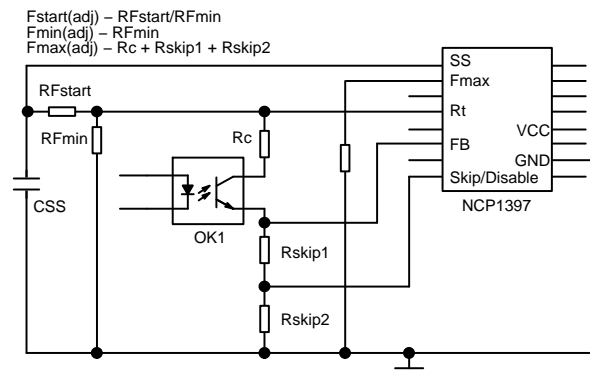


Figure 34. Конфигурация обратной связи с использованием прямого подключения к контакту Rt

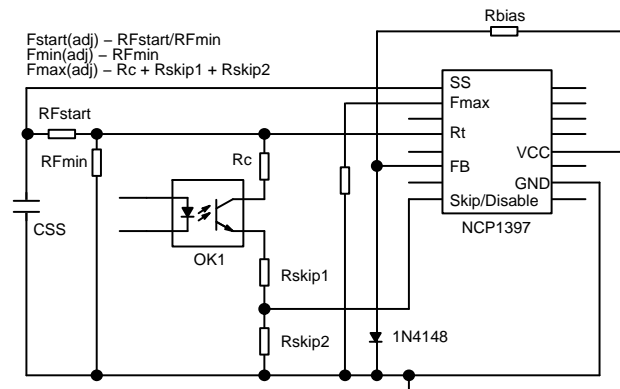


Figure 35. Конфигурация обратной связи с использованием прямого подключения к контакту Rt - без обнаружения разрыва цепи FB

Контроль мертвого времени

Когда вступает в игру конфигурация полумоста, контроль мертвого времени является абсолютной необходимостью. Метод мертвого времени заключается во введении периода, в течение которого выключены как верхняя, так и нижняя стороны. Конечно, величина мертвого времени различается в зависимости от частоты переключения, следовательно, есть возможность настроить ее на этом контроллере **диапазон значений от 100 nS до 2 μS**. Мертвое время фактически создается за счет управления разрядным током генератора. На Рисунке 36 изображена упрощенная схема ГУН, основанная на Рисунке 25.

Во время разряда синхронизатор часов находится в состоянии высокого уровня и аннулирует логические элементы И: оба выхода имеют низкий уровень. Когда компаратор возвращается к низкому уровню, во время перезарядки синхронизирующего конденсатора C_t , выходы А и В проверяются.

Подключив резистор R_{DT} к земле, он создает ток изображения которого служит для разряда конденсатора C_t : мы контролируем мертвое время. Типичный диапазон составляет 100 ns ($R_{DT} = 3,5 \text{ k}$) и 2 μs ($R_{DT} = 83,5 \text{ k}$). На рисунке 39 показаны типичные формы сигналов.

NCP1397A/B, NCV1397A/B

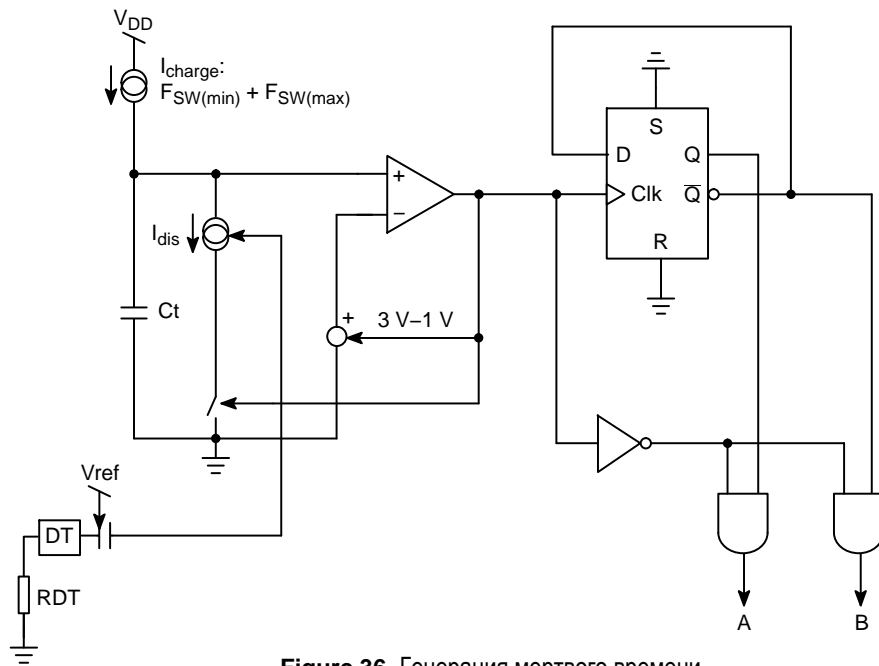


Figure 36. Генерация мертвого времени

Последовательность плавного пуска

В резонансных регуляторах требуется плавный пуск, чтобы избежать внезапной подачи полного тока в резонансный контур. С этим контроллером длительность плавного пуска полностью регулируется с помощью вечных компонентов. Назначение вывода плавного пуска - разрядить конденсатор плавного пуска перед перезапуском ИС и в случае неисправности, обнаруженной входом неисправности.

Как только контроллер начинает работу, конденсатор плавного пуска (см. Рис. 37) полностью разряжается и, таким образом, начинает заряжаться от вывода Rt. Зарядный ток увеличивает рабочую частоту регулятора выше Fmin. По мере зарядки конденсатора плавного пуска частота плавно уменьшается до Fmin. Конечно, на практике предполагается, что цепь обратной связи возьмет на себя управление ГУН, как только выходное напряжение достигнет целевого значения. Если нет, то достигается минимальная частота переключения и на контакте обратной связи обнаруживается неисправность (обычно ниже 300 мВ). На рисунке 38 показан типичный запуск LLC с использованием контроллера NCP1397A / B.

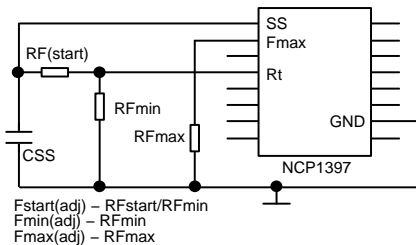


Figure 37. Расположение компонентов плавного пуска

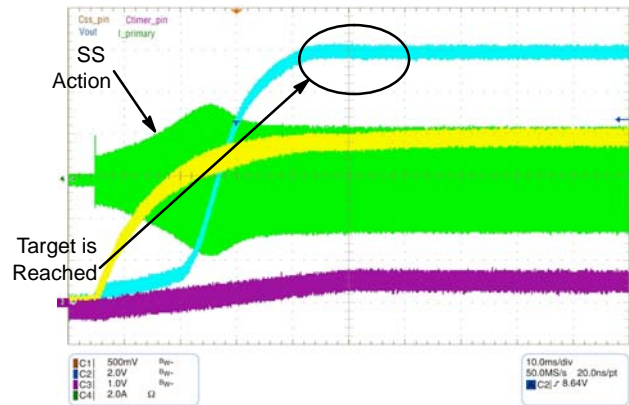


Figure 38. Типичная последовательность запуска преобразователя LLC с использованием NCP1397

Обратите внимание, что конденсатор плавного пуска разряжается в следующих случаях:

- Последовательность запуска
- В пакетном режиме с автоматическим восстановлением
- Восстановление после выключения питания
- Восстановление отключения по температуре

Ввод пропуска / отключения подвергается особой обработке. Поскольку мы хотим реализовать цикл пропуска с использованием этого входа, мы не можем активировать плавный пуск каждый раз, когда вывод обратной связи останавливает операции в режиме низкого энергопотребления. Следовательно, когда вывод пропуска / разрешения отпускается, плавного пуска не происходит, чтобы обеспечить наилучшее поведение пропуска цикла. Тем не менее, вполне возможно комбинировать цикл пропуска и истинное отключение, например через диоды ИЛИ, управляющие выводом 8. В этом случае, если сигнал поддерживает вход пропуска / отключения на высоком уровне достаточно долго, чтобы снизить уровень обратной связи (ниже 0,3 В), поскольку выходное напряжение начинает падать, тогда переключатель разряда плавного пуска активирован.

NCP1397A/B, NCV1397A/B

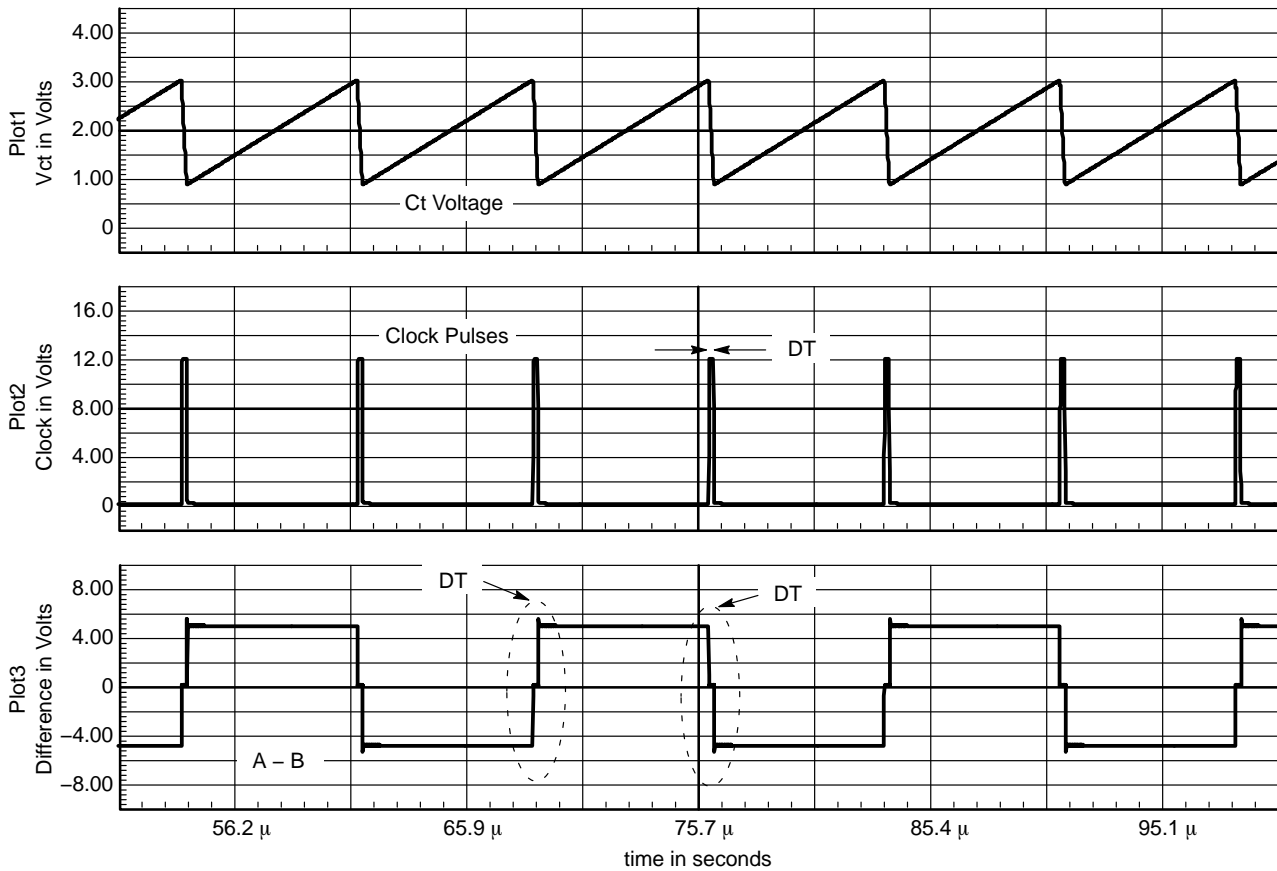


Figure 39. Типичные формы сигналов осциллятора

Защита от перегорания

Защита от перегорания

Схема Brown-Out (BO) предлагает способ защиты резонансного преобразователя от низких входных напряжений постоянного тока. Ниже заданного уровня контроллер блокирует выходные импульсы, выше - разрешает их. Внутренняя схема, изображенная на рисунке 40, позволяет наблюдать за высоковольтной шиной. Резистивный делитель, сделанный из R_{upper} и R_{lower} , подводит часть шины высокого напряжения к выводу 5. Ниже уровня включения источник тока IBO на 28 μA выключен. Следовательно, уровень включения зависит исключительно от коэффициента деления резистивного делителя.

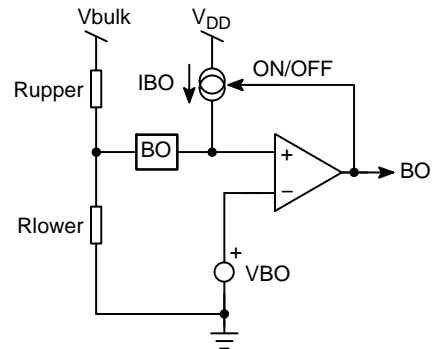


Figure 40. Конфигурация внутреннего отключения с источником тока смещения

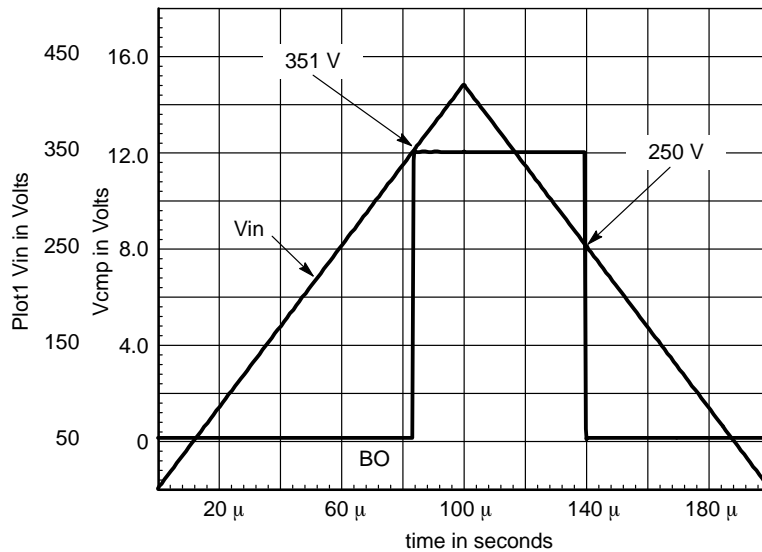


Figure 41. Результаты моделирования для 350/250 уровней включения / выключения

Напротив, когда внутренний сигнал BO высокий (импульс M_{lower} и M_{upper}), источник IBO активируется и создает гистерезис. В результате становится возможным выбирать уровни включения и выключения с помощью нескольких строк алгебры:

ИБО ВЫКЛЮЧЕН

$$V(+)=V_{bulk1} \times \frac{R_{lower}}{R_{lower}+R_{upper}} \quad (eq. 1)$$

ИБО ВКЛЮЧЕН

$$V(+)=V_{bulk2} \times \frac{R_{lower}}{R_{lower}+R_{upper}} + IBO \times \left(\frac{R_{lower} \times R_{upper}}{R_{lower}+R_{upper}} \right) \quad (eq. 2)$$

Теперь мы можем извлечь R_{lower} из уравнения 1 и вставить его в уравнение 2:

$$R_{lower} = VBO \times \frac{V_{bulk1} - V_{bulk2}}{IBO \times (V_{bulk1} - VBO)}$$

Затем решить для R_{upper} :

$$R_{upper} = R_{lower} \times \frac{V_{bulk1} - VBO}{VBO}$$

Если мы решим включить наш преобразователь для V_{bulk1} , равного 350 В, и выключить его, если V_{bulk2} равен 250 В, то получим:

$$R_{upper} = 3.57 \text{ M}\Omega$$

$$R_{lower} = 10.64 \text{ k}\Omega$$

Рассеиваемая мощность моста составляет $400^2 / 3,781 \text{ M} = 45 \text{ мВт}$, когда входной каскад PFC выдает 400 В.

Рисунок 41 результат моделирования подтверждает наши расчеты.

Защита от защелкивания

В некоторых ситуациях преобразователь должен быть полностью выключен и оставаться в фиксированном положении. Это может произойти при перенапряжении (цепь обратной связи дрейфует) или при обнаружении превышения температуры. Благодаря добавлению компаратора на вывод BO простая внешняя схема может поднять этот вывод выше V latch (типичное значение 4 В) и навсегда отключить импульсы. Обычно для сброса контроллера напряжение V_{CC} необходимо понижать до значения ниже 6,5 В.

NCP1397A/B, NCV1397A/B

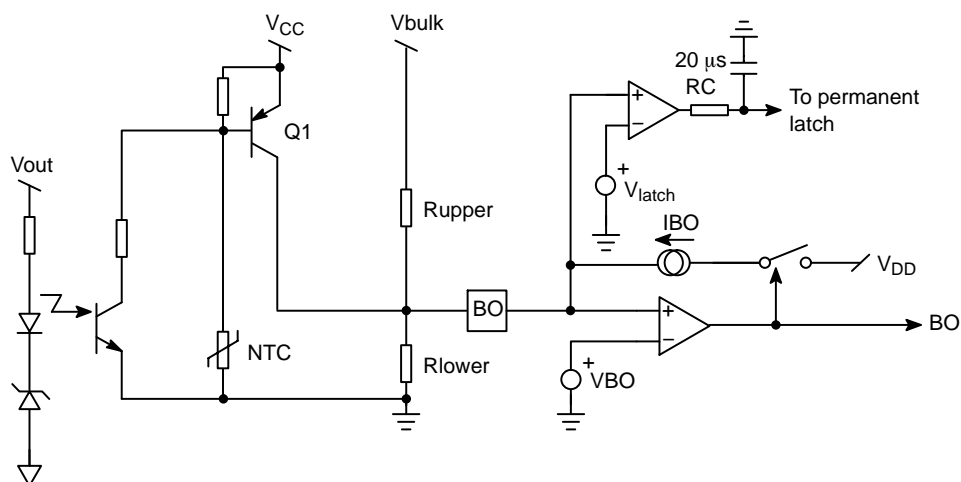


Figure 42. Добавление компаратора на вывод BO предлагает способ отсоединения контроллера

На рисунке 42 Q1 заблокирован и не мешает измерению BO, пока NTC и оптопара не активированы. Как только вторичный оптопара обнаруживает состояние OVP или NTC реагирует на высокую температуру окружающей среды, база Q1 заземляется, а контакт BO поднимается вверх, постоянно блокируя контроллер.

Схема защиты

Этот резонансный контроллер имеет специальный вход (вход неисправности) для обнаружения условий перегрузки по току в первичной цепи и защиты силового каскада от повреждений. Когда напряжение на входе неисправности превышает пороговое значение 1,04 В, конденсатор внешнего таймера начинает заряжаться током I_{timer1} . Одновременно с этим активируется разрядный переключатель плавного пуска, чтобы повысить рабочую частоту, чтобы поддерживать первичный ток на приемлемом уровне. В случае, если перегрузка исчезает достаточно быстро, выключатель разряда плавного пуска разомкнут, ток I_{timer1} отключается, и конденсатор таймера разряжается через внешний параллельный резистор. В случае, если перегрузка длится дольше, чем время таймера (заданное I_{timer} , V_{timer} , C_{timer} и R_{timer}), IC останавливает операцию и ждет, пока C_{timer} не разрядится до 1 В. Затем приложение перезапускается с помощью мягкого запуска.

В случае сильной перегрузки, такой как короткое замыкание трансформатора, первичный ток растет очень быстро и, таким образом, может достичь опасного уровня до истечения времени таймера повреждения. Таким образом, NCP1397B имеет дополнительный компаратор (1,55 В) на входе неисправности для постоянной фиксации приложения и защиты от разрушения. На рисунке 44 изображена архитектура схемы неисправности для контроллера NCP1397B.

NCP1397A также имеет второй компаратор неисправностей, но в этом случае он не блокирует ИС, а ускоряет зарядку конденсатора таймера неисправности за счет включения дополнительного источника тока I_{timer2} - см. Рисунок 43. Таким образом, NCP1397A может использоваться в приложениях, которые должны автоматически восстанавливаться после любых сбоев.

NCP1397A/B, NCV1397A/B

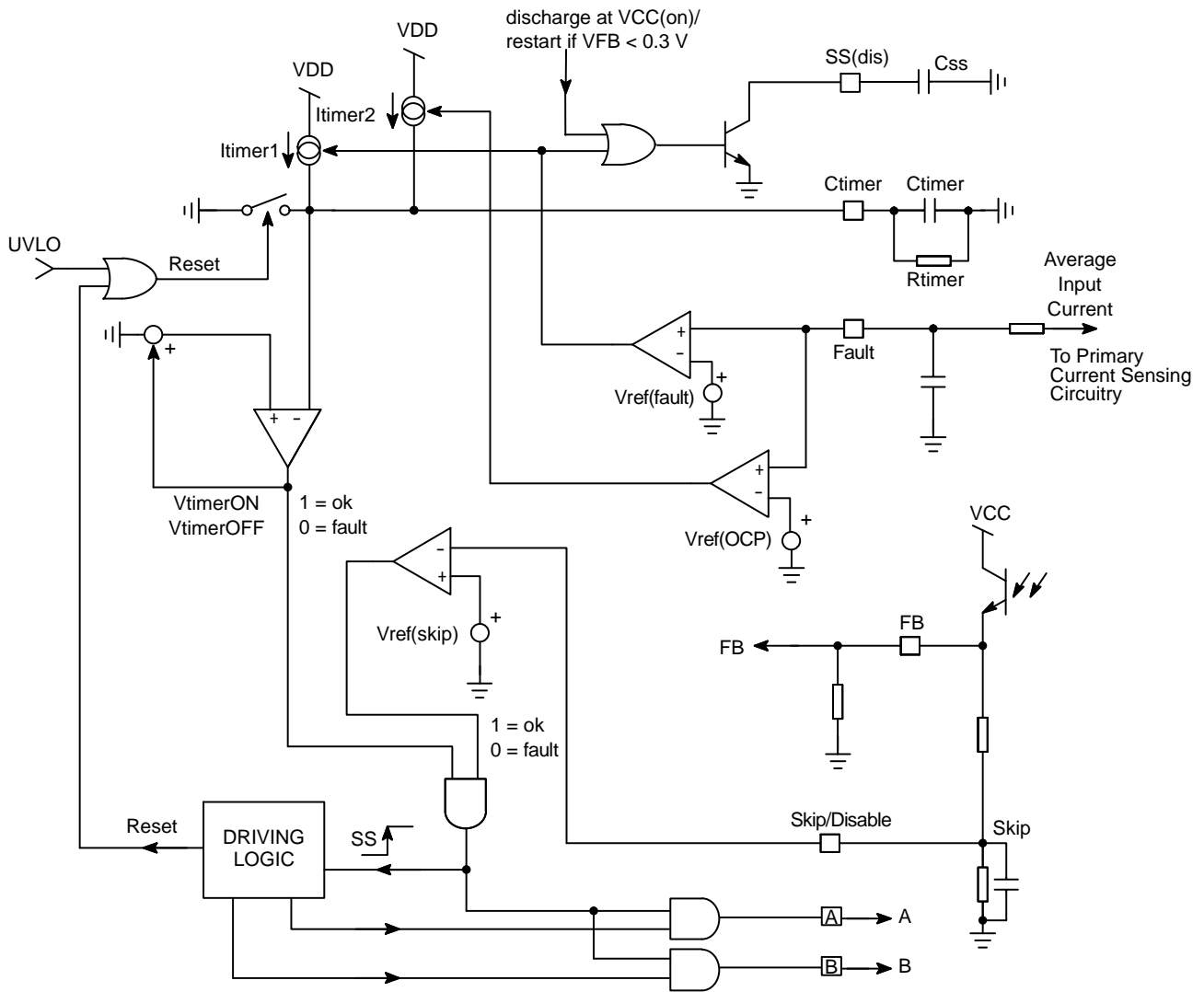


Figure 43. Логика входа неисправности для NCP1397A

NCP1397A/B, NCV1397A/B

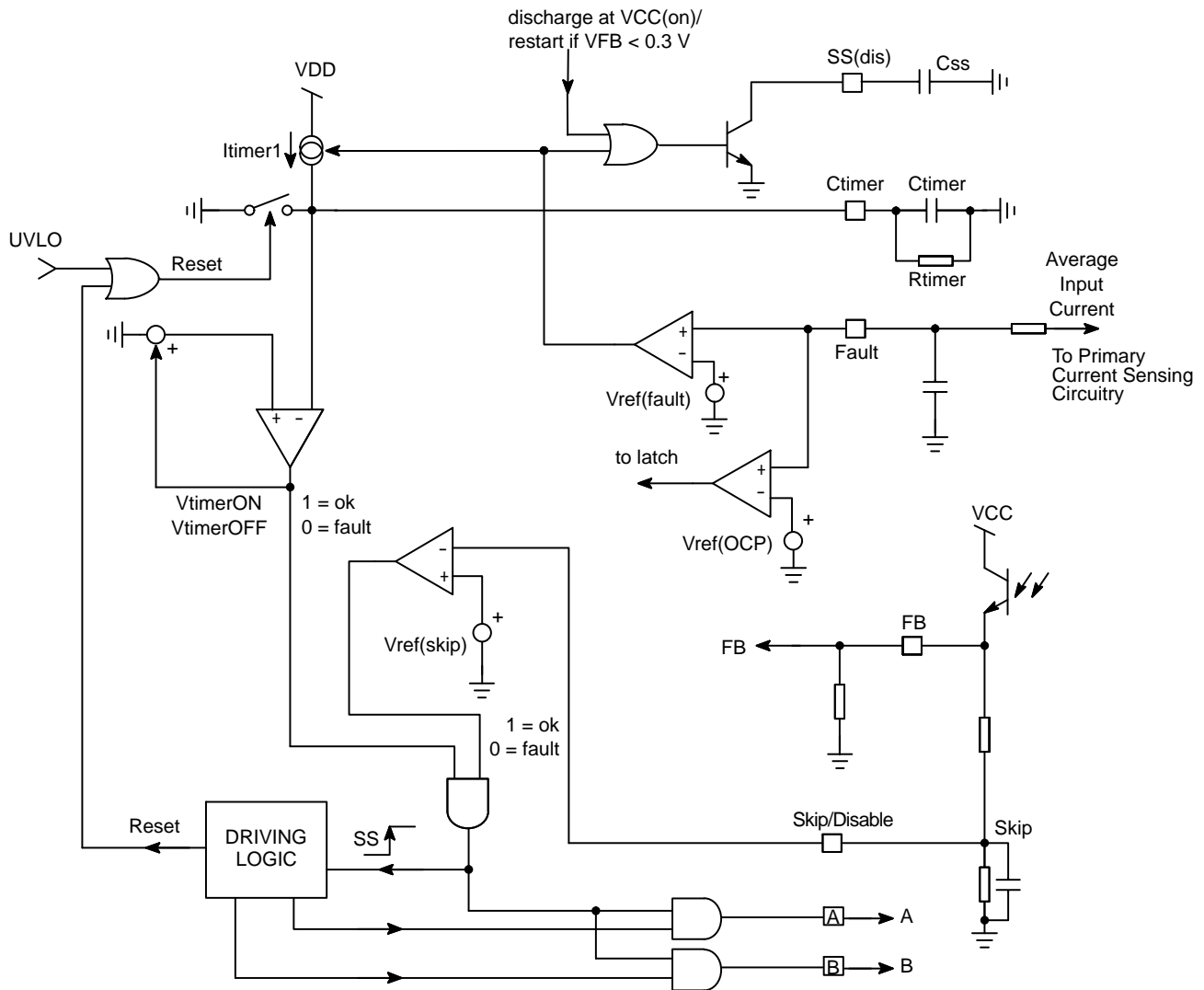


Figure 44. Логика ввода неисправности для NCP1397B

В примерах на рисунках 43 и 44 напряжение, пропорциональное первичному току, после усреднения дает представление о входной мощности в случае, если V_{in} поддерживается постоянным с помощью схемы PFC. Если выходная нагрузка увеличивается выше определенного уровня, напряжение на этом выводе превысит порог в 1 В и запустит таймер.

Если перегрузка сохраняется, через несколько десятков миллисекунд коммутационные импульсы исчезнут, и произойдет защитный цикл самовосстановления. Регулировка резистора R параллельно конденсатору таймера дает гибкость в регулировке импульсного режима отказа (см. Рисунок 45).

NCP1397A/B, NCV1397A/B

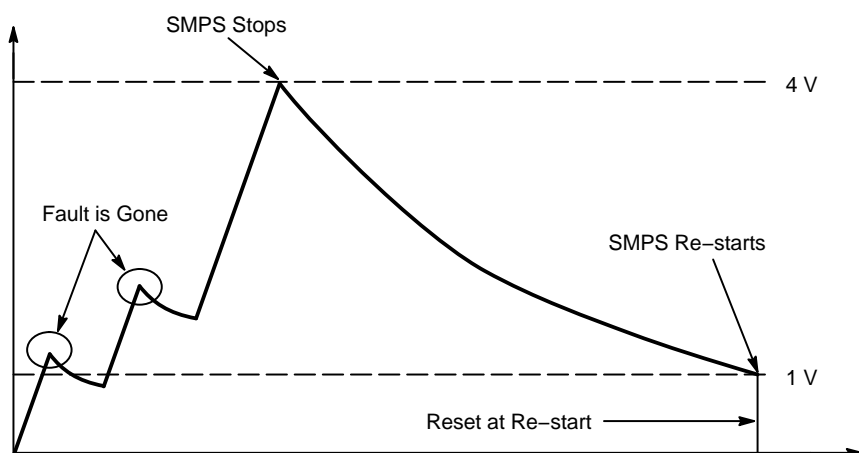


Figure 45. Резистор может легко программировать время разряда конденсатора

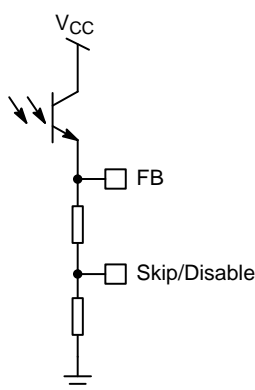


Figure 46. Цикл пропуска может быть реализован с помощью двух резисторов на выводе FB к входу Fast Fault.

Пропустить / Отключить

На вход Skip / Disable не влияет отложенное действие. Как только его напряжение превышает обычно 0,66 В, все импульсы отключаются и остаются отключенными до тех пор, пока присутствует неисправность. Когда штифт отпускается, импульсы возвращаются, и плавный пуск активирован (в случае $V_{FB} < 0,3$ В).

Благодаря низкому уровню активации этот вывод может наблюдать за выводом обратной связи через резистивное разделение и, таким образом, реализовывать операцию пропуска цикла. Резонансный преобразователь может быть спроектирован так, чтобы терять регулировку в условиях небольшой нагрузки, что приводит к увеличению уровня FB. Когда он достигает запрограммированного уровня, он запускает ввод пропуска и останавливает импульсы. Затем V_{out} медленно падает, цикл реагирует уменьшением уровня обратной связи, который, в свою очередь, разблокирует импульсы, V_{out} снова увеличивается и так далее: мы находимся в режиме пропуска цикла. Поскольку напряжение обратной связи не опускается ниже 0,3 В, выключатель разряда плавного пуска в этом случае не активируется. См. Также Рисунок 35 для реализации функции режима пропуска, когда оптопара подключена непосредственно к выводу R_t .

Поведение при запуске

Когда напряжение V_{CC} увеличивается, внутреннее потребление тока остается ниже I_{strup} . Когда V_{CC} достигает уровня $V_{CC(on)}$, сначала устанавливается высокий уровень на выходе M_{lower} , а затем на выходе M_{upper} . Эта последовательность всегда будет одинаковой, что бы ни запускало подачу импульса: неисправность, ВЫКЛ на ВКЛ и т.д. Затем следуют остальные импульсы, доставляется при наивысшем значении переключения, задаваемом резистором R_{Fstart} параллельно с резистором R_{Fmin} на выводе 4. Конденсатор плавного пуска обеспечивает плавное снижение частоты либо до запрограммированного минимального значения (в случае неисправности), либо до значения, соответствующего рабочей точке, если контур обратной связи замыкается первым. На рисунке 47 показано изменение типичных сигналов при включении.

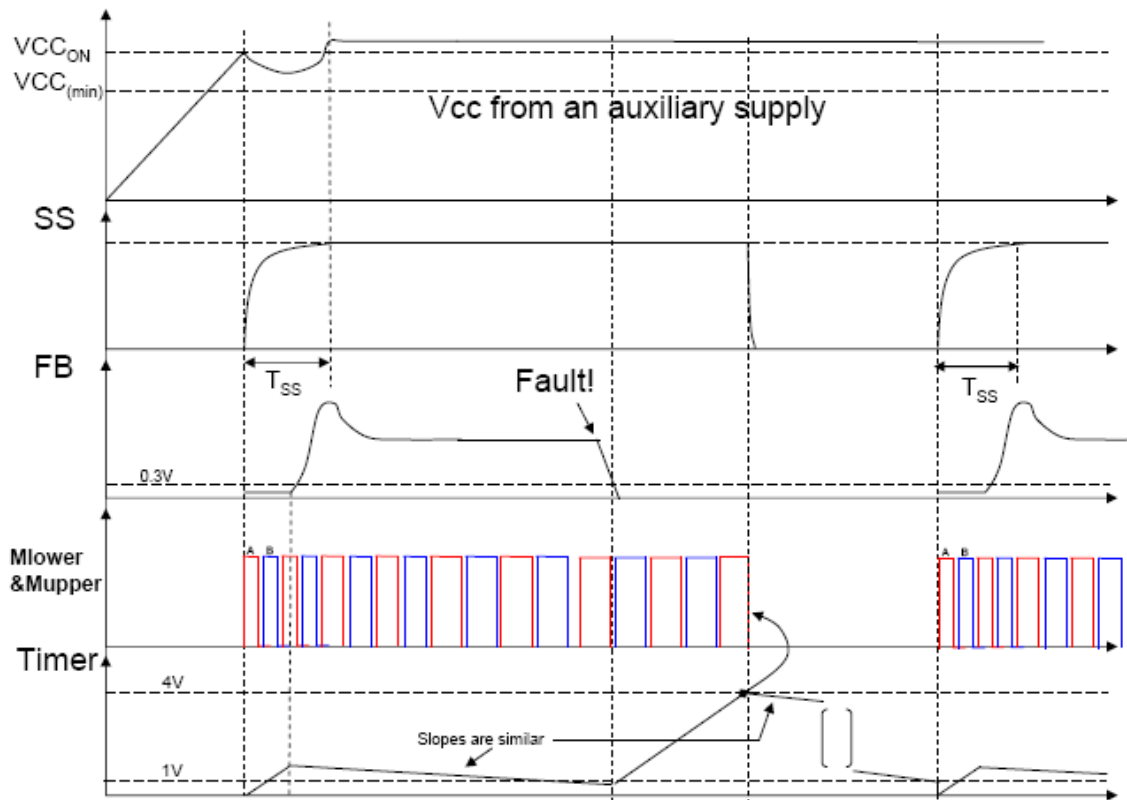


Figure 47. При включении питания сначала активируется выход А, и частота медленно уменьшается в зависимости от напряжения конденсатора плавного пуска.

На рисунке 47 изображена ситуация с автоматическим восстановлением, когда таймер инициировал окончание выходных импульсов. В этом случае уровень V_{CC} был задан вспомогательным источником питания, следовательно, его стабильность во время сбоя. Аналогичная ситуация может возникнуть, если пользователь выберет более традиционный метод запуска со вспомогательной обмоткой.

В этом случае компаратор $V_{CC}(\min)$ останавливает выходные импульсы всякий раз, когда он активируется, то есть когда V_{CC} падает ниже 9,5 В. В это время на вывод V_{CC} по-прежнему поступает ток смещения от пускового резистора, и он увеличивается в сторону V_{CC} (включено). Когда напряжение достигает V_{CC} (вкл.), Выполняется стандартная последовательность действий, включающая плавный пуск. Рисунок 48 изображает это поведение.

NCP1397A/B, NCV1397A/B

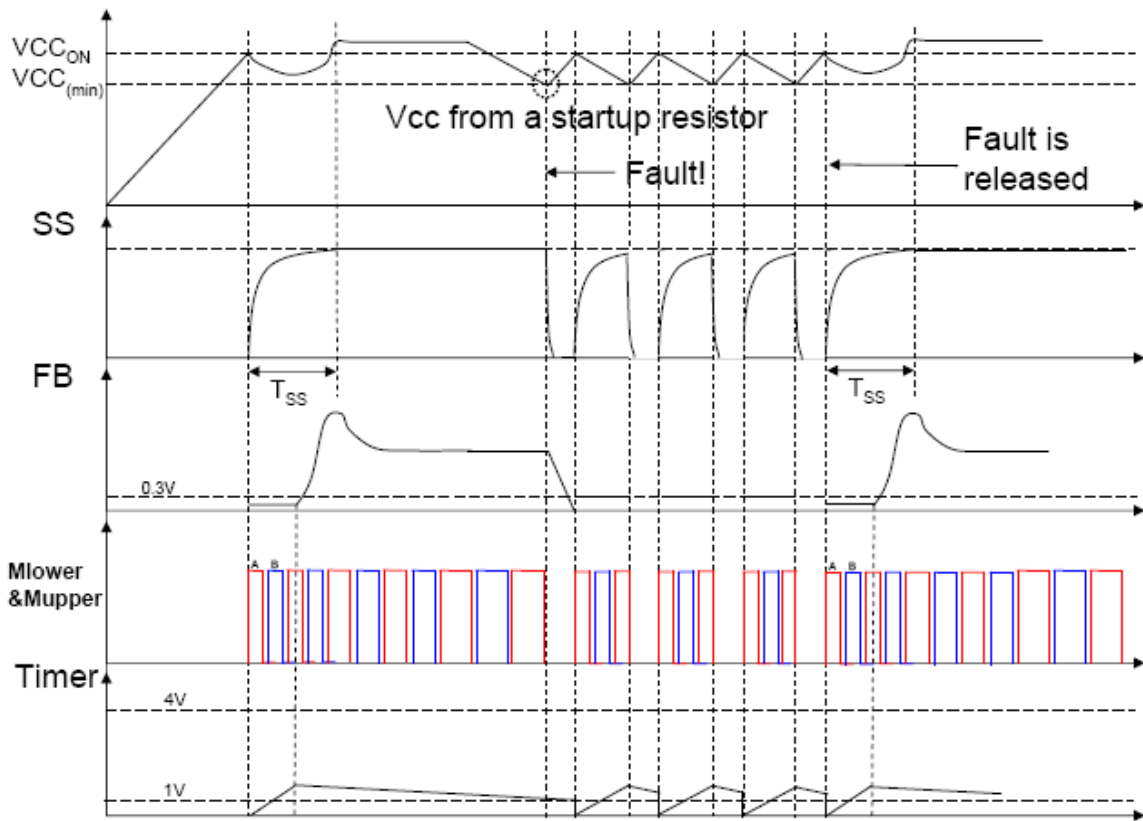


Figure 48. Когда V_{CC} находится на низком уровне, все импульсы останавливаются, пока V_{CC} не вернется к начальному напряжению.

Драйвер высокого напряжения

Драйвер имеет традиционную схему начальной загрузки, требующую внешнего высоковольтного диода для пути заправки конденсатора. На рисунке 49 показана внутренняя архитектура высоковольтной секции.

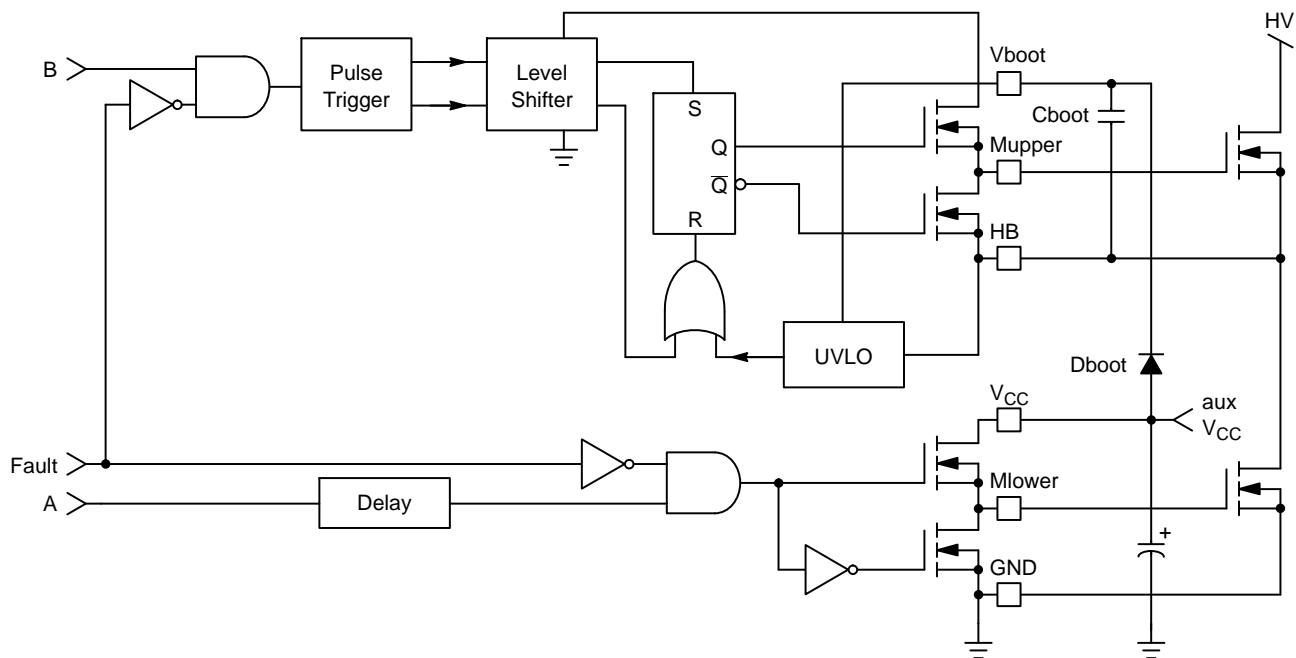


Figure 49. Внутренняя секция высокого напряжения NCP1397

NCP1397A/B, NCV1397A/B

Устройство включает верхнюю схему UVLO, которая гарантирует, что для верхнего MOSFET имеется достаточно напряжения V_{gs} . Выходы В и А выдаются внутренней логикой, как показано на рисунке 43. В нижнюю направляющую вставлена задержка, чтобы обеспечить хорошее согласование между этими распространяющимися сигналами.

Как указано в разделе о максимальных номинальных значениях, напряжение плавающей части может достигать 600 В постоянного тока, что делает ИС идеально подходящей для автономных приложений с входным каскадом PFC на 400 В.

ORDERING INFORMATION

Device	Package	Shipping†
NCP1397ADR2G	SOIC-16, Less Pin 13 (Pb-Free)	2500 / Tape & Reel
NCV1397ADR2G*		
NCP1397BDR2G		
NCV1397BDR2G*		

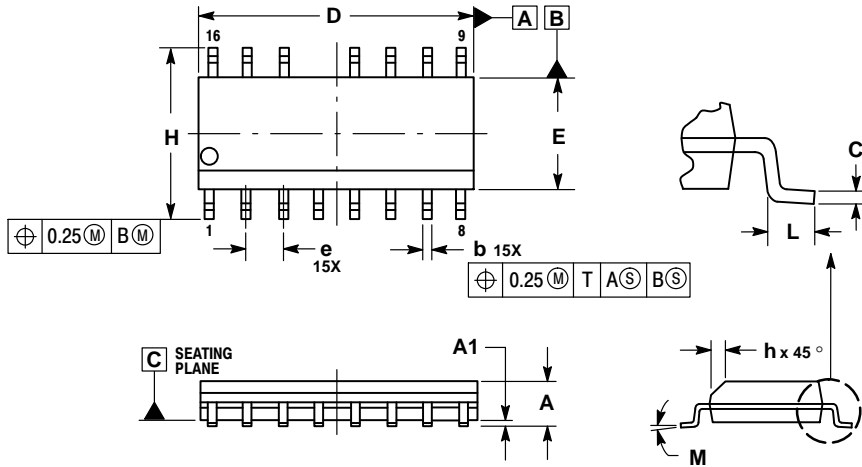
†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specification Brochure, BRD8011/D.

*NCV Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q100 Qualified and PPAP Capable.

NCP1397A/B, NCV1397A/B

PACKAGE DIMENSIONS

SOIC-16 NB, LESS PIN 13 CASE 751AM ISSUE O

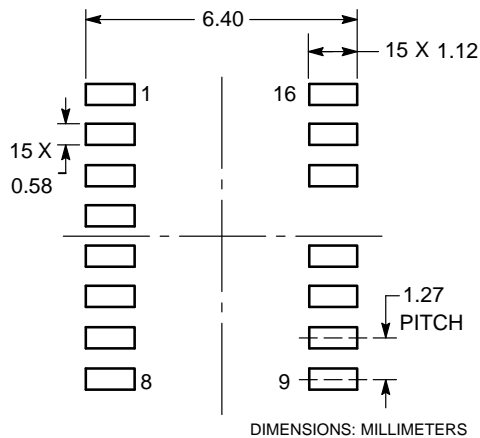


NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
4. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSIONS.
5. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.

DIM	MILLIMETERS	
	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
b	0.35	0.49
C	0.19	0.25
D	9.80	10.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
M	0°	7°

SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ON Semiconductor and the are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local Sales Representative



Implementing a 12 V / 240 W Power Supply with the NCP4303B, NCP1605 and NCP1397B

Prepared by: Roman Stuler, Jaromir Uherek and Ivan Seifert
ON Semiconductor

Обзор

В следующем документе описан выходной импульсный источник питания (SMPS) 12 В / 20 А, предназначенный для использования в качестве основного преобразователя источника питания АТХ или источника питания All-In-One для ПК. Схема эталонного дизайна состоит из двусторонней печатной платы 135 x 200 мм и высотой всего 35 мм. Обзор всей архитектуры SMPS представлен на рисунке 1. Тщательное внимание было уделено оптимизации производительности при минимизации общей стоимости решения.

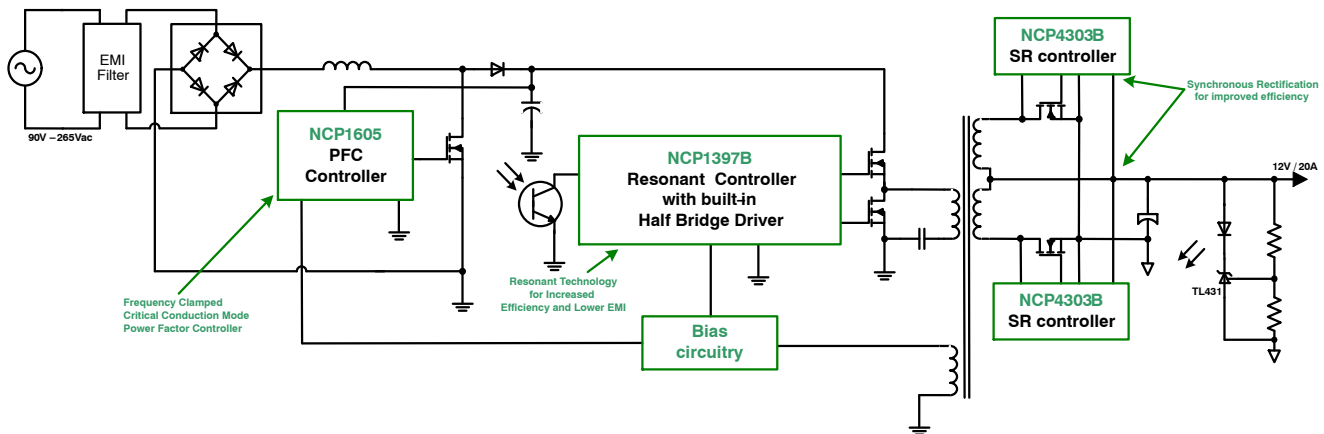


Figure 1. Demoboard Block Diagram

Обзор архитектуры

В схеме используется NCP1605 для предварительной коррекции коэффициента мощности. Этот каскад обеспечивает хорошо регулируемое выходное напряжение PFC, что позволяет оптимизировать работу преобразователя, расположенного ниже по потоку. Контроллер NCP1605 работает с использованием метода управления режимом критической проводимости с ограничением частоты. В каскаде SMPS используется топология полумостового резонанса LLC, поскольку она повышает эффективность, снижает сигнатуру электромагнитных помех и обеспечивает лучшее использование трансформатора по сравнению с традиционными топологиями. Контроллер NCP1397B используется для управления полумостовым резонансным LLC преобразователем. Чтобы максимизировать эффективность силового каскада LLC, на вторичной стороне реализовано синхронное выпрямление (SR). Контроллер NCP4303B SR используется для точного включения и выключения полевых МОП-транзисторов SR.

Таким образом, архитектура, выбранная для этого эталонного проекта, позволяет оптимизировать систему так, чтобы достигалась максимальная эффективность без значительного увеличения стоимости компонентов и сложности схемы.

Спецификация демо-платы

Большинство современных вычислительных приложений, таких как ПК АТХ, игровые консоли и моноблоки, используют 12 В в качестве основной шины питания. Затем это напряжение дополнительно снижается до 5 В и 3,3 В с помощью понижающих преобразователей постоянного / постоянного тока. Поскольку почти вся мощность проходит через выход 12 В, очень важно оптимизировать эффективность основного силового каскада. Сегодня в большинстве проектов используется топология LLC для силового каскада, чтобы обеспечить высокий КПД по разумной цене. Силовой каскад LLC обеспечивает высокий КПД благодаря переключению при нулевом напряжении (ZVS) на первичной стороне и переключению при нулевом токе (ZCS) на вторичной стороне. Однако эффективность снижается для более высоких выходных токов, поскольку вторичный среднеквадратичный ток достигает высокого уровня. Решением этих потерь на вторичной стороне является использование синхронного выпрямления вместо обычных выпрямителей (диод Шоттки). Также было уделено внимание оптимизации эффективности освещения и отсутствия нагрузки, что особенно важно для SMPS ПК «все в одном», которые обычно не используют дополнительный резервный источник питания.

Исходя из вышеизложенных соображений, следующие требуемые спецификации эталонного проекта SMPS:

Table 1. DEMOBOARD SPECIFICATION

Requirement	Min	Max	Unit
Input voltage (ac)	90	265	V
Output voltage (dc)	–	12	V
Output current	0	20	A
Total output power	0	240	W
Consumption for a 500 mW output load in STBY mode	–	1.7	W
Consumption for a 100 mW output load in STBY mode	–	1.2	W
No load consumption SR operating	–	870	mW
No load consumption SR turned off, no bypass Shottky used	–	1	W
Load regulation		20	mV

NCP4303A / B обеспечивает следующие полезные функции для реализации SR на силовой ступени LLC:

Точное обнаружение нулевого тока с регулируемым порогом

Контроллер NCP4303 SR обеспечивает порог обнаружения нулевого тока (ZCD) по умолчанию, равный 0 мВ. Источник тока 100 А на входе CS позволяет заказчику снизить этот базовый порог ZCD, используя резистор, подключенный последовательно к входу CS. Таким образом, пороговое значение тока отключения можно точно отрегулировать до 0 А, чтобы максимизировать время проводимости SR MOSFET. Результат - оптимизированная эффективность системы.

Обычно задержка выключения от входа датчика тока до выхода драйвера составляет 40 нс.

Как только вход CS обнаруживает, что вторичный ток достиг нуля, необходимо как можно быстрее выключить SR MOSFET. Чрезвычайно низкая задержка распространения сигнала в NCP4303, равная 40 нс, гарантирует быстрое отключение SR MOSFET, что позволяет избежать обратного протекания тока обратно в обмотку трансформатора от вторичного фильтрующего конденсатора.

Вход автоматической компенсации паразитной индуктивности

Высокий среднеквадратичный вторичный ток в ступени LLC имеет высокое произведение $di(t) / dt$, которое может вызвать высокое напряжение ошибки на паразитных индуктивностях корпуса SR MOSFET (например, TO220). Напряжения паразитной ошибки сдвигают сток к напряжению истока и влияют на точность системы ZCD. В результате SR MOSFET преждевременно выключается, и эффективность снижается. NCP4303 предлагает способ компенсации этого эффекта через специальный вход, который смещает порог компаратора ZCD с компенсационным напряжением. Благодаря этой функции компаратор ZCD может выполнять точное определение независимо от произведения вторичного тока $di(t) / dt$. Этот метод позволяет использовать стандартные полевые МОП-транзисторы с выводами, что может снизить затраты на сборку (для полевых МОП-транзисторов SMT обычно требуется более дорогая печатная плата и пайка).

Допустимая нагрузка на токовый штырь 200 В

Возможность высокого напряжения вывода CS позволяет напрямую подключаться к стоку SR MOSFET. Это позволяет избежать использования последовательного резистора с высоким сопротивлением, который задерживал бы сигнал CS.

Отключить вход для перехода в ждущий режим или режим низкого потребления

Вход триггера / запрета объединяет две функции: во-первых, он может использоваться для выключения SR MOSFET в приложениях режима непрерывного тока (например, обратный ход CCM).

Во-вторых, с его помощью можно переключить контроллер в режим ожидания. Режим ожидания SR снижает энергопотребление SMPS, когда выход не загружен. В этом режиме для обеспечения проводимости могут использоваться параллельные диоды Шоттки, а не полевые МОП-транзисторы SR.

Регулируемое минимальное время включения и выключения независимо от уровня VCC

Из-за различных импедансов в приложении (паразитные индуктивности и емкости) после включения или выключения полевого МОП-транзистора SR может возникать ложный сигнал. Чтобы преодолеть ложное переключение контроллера из-за этого паразитного звонка, NCP4303 использует регулируемое минимальное время включения и выключения. Состояние драйвера не может быть изменено в течение этих минимальных периодов. Продолжительность минимального времени включения и минимального времени отключения можно регулировать независимо друг от друга и независимо от уровня IC Vcc.

Пиковый ток потребления / источника питания 5 А / 2,5 А

Полевые МОП-транзисторы SR для силовых приложений обычно имеют высокую входную емкость. Мощные возможности драйвера приемника NCP4303 сокращают время выключения и, таким образом, позволяют оптимизировать время проводимости SR MOSFET.

Диапазон рабочего напряжения до 30 В

Вход VCC NCP4303 может быть подключен напрямую к выходному напряжению приложения без какого-либо дополнительного предварительного регулирования. Эта функция упрощает реализацию драйвера и снижает стоимость приложения.

Зажим драйвера затвора: 12 В (NCP4303A) или 6 В (NCP4303B)

Некоторые из современных SR MOSFET обеспечивают низкое сопротивление канала для более низких напряжений затвора (<6 В). Таким образом, полезно ограничивать напряжение драйвера на более низком уровне и уменьшать потери при возбуждении. Этот метод помогает поддерживать высокий КПД, особенно при средних и легких нагрузках. С другой стороны, некоторые полевые МОП-транзисторы по-прежнему требуют более высокого напряжения на затворе. NCP4303A обеспечивает драйвер затвора 12 В зажим для этих случаев. Пожалуйста, обратитесь к таблице данных для получения дополнительной информации и подробного описания контроллера NCP4303A / B SR.

Подробное описание демо-платы

Полная схема демонстрационной платы показана на рисунке 58. Как упоминалось выше, SMPS состоит из трех блоков. Передний каскад PFC принимает входное напряжение от 90 В переменного тока / 60 Гц до 265 В переменного тока / 50 Гц и преобразует его в номинальное напряжение 395 В постоянного тока. Второй блок - это силовой каскад LLC, который преобразует объемное напряжение в выходное напряжение 12 В / 20 А. Третий блок - это синхронное выпрямление, которое заменяет обычные выпрямители Шоттки.

Передняя ступень PFC

Входное напряжение проходит через фильтр электромагнитных помех (рис. 2), который защищает распределительную сеть от шума, создаваемого SMPS. Фильтр электромагнитных помех состоит из конденсаторов CY1, CY2, C33, C47, дросселя с компенсацией тока L15 и дросселей дифференциального режима L12, L13. Варистор R48 защищает ИИП от скачков напряжения в сети.

Отфильтрованное переменное напряжение выпрямляется мостовым выпрямителем B1 и подключается к силовому каскаду PFC.

Чтобы свести к минимуму риск поражения электрическим током после отключения источника питания, требуется схема разряда конденсатора X2. Обычно для выполнения этой функции используются защитные резисторы. Однако такое решение имеет некоторые недостатки. Время разряда увеличивается до неприемлемого уровня для более высоких номиналов конденсатора X2. Потери мощности в разрядных резисторах необходимо увеличить, чтобы уменьшить время разряда конденсатора X2. В результате страдает отсутствие нагрузки на приложение. Чтобы избежать этого, в этой конструкции была реализована специальная схема разряда, чтобы минимизировать время разряда конденсатора X2, не влияя на потребление без нагрузки. Эта схема состоит из подкачки заряда R19, R43, R53, D8, D10, D11, C14, C30, C31, транзисторов Q6, Q8, разрядных резисторов R16, R22 и вспомогательной схемы смещения R1, R21, C1, D1. Когда

приложение подключено к сети, зарядный насос подает напряжение на затвор Q8 MOSFET и поддерживает его во включенном состоянии. Сток МОП-транзистора Q8 опускает базу транзистора Q6, который отключает разрядные резисторы R16, R22 от входа высокого напряжения для повышения эффективности холостого хода. Когда ИИП отключен от сети, зарядный насос

больше не подает ток, и полевой МОП-транзистор Q8 выключен. Вспомогательное напряжение остается на конденсаторе C1, поэтому транзистор Q6 включается, а резисторы R16 и R22 разряжают конденсаторы X2 через мостовой выпрямитель. Время разряда меньше одной секунды. Потребляемая мощность этой схемы составляет около 6,5 мВт для входа 230 В переменного тока, что дает экономию около 86 мВт по сравнению со стандартным решением с эквивалентным временем разряда. Реализация предложенной схемы разряда конденсатора X2 также помогает снизить кондуктивное излучение электромагнитных помех, поскольку разработчик ИИП менее ограничен соотношением размера конденсатора X2 к соотношению времени разряда.

Линия выпрямленного переменного тока подключена к переднему каскаду PFC (Рисунок 3). Каскад PFC модулирует входной ток для достижения высокого коэффициента мощности, а также для подготовки предварительно регулируемого напряжения для силового каскада LLC.

При включении полевого МОП-транзистора Q4 энергия накапливается в катушке L7. Энергия, запасенная в катушке L7 во время работы, добавляется к выпрямленному напряжению на конденсаторе C15, когда полевой МОП-транзистор Q4 выключен. Таким образом, конденсаторы большой емкости C16 и C17 заряжаются через диод D5. Суммарное напряжение делится резисторами R17, R28, R34, R46 и R63. Эмиттерный повторитель Q10 позволяет использовать делитель с высоким импедансом, который снижает потребление в режиме ожидания SMPS. Выходное напряжение от этого эмиттерного повторителя используется для двух целей: 1-е для подготовки функции режима пропуска каскада PFC и 2-го для предоставления контроллеру LLC информации об объемном напряжении (т.е. достаточно ли этого для работы стадии LLC).

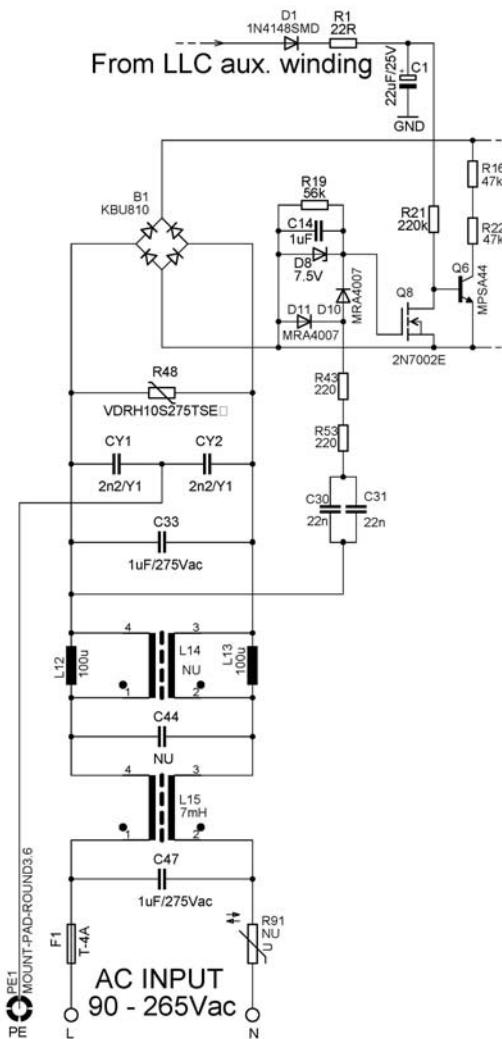


Figure 2. Фильтр электромагнитных помех со схемой разряда конденсатора X2

AND8460/D

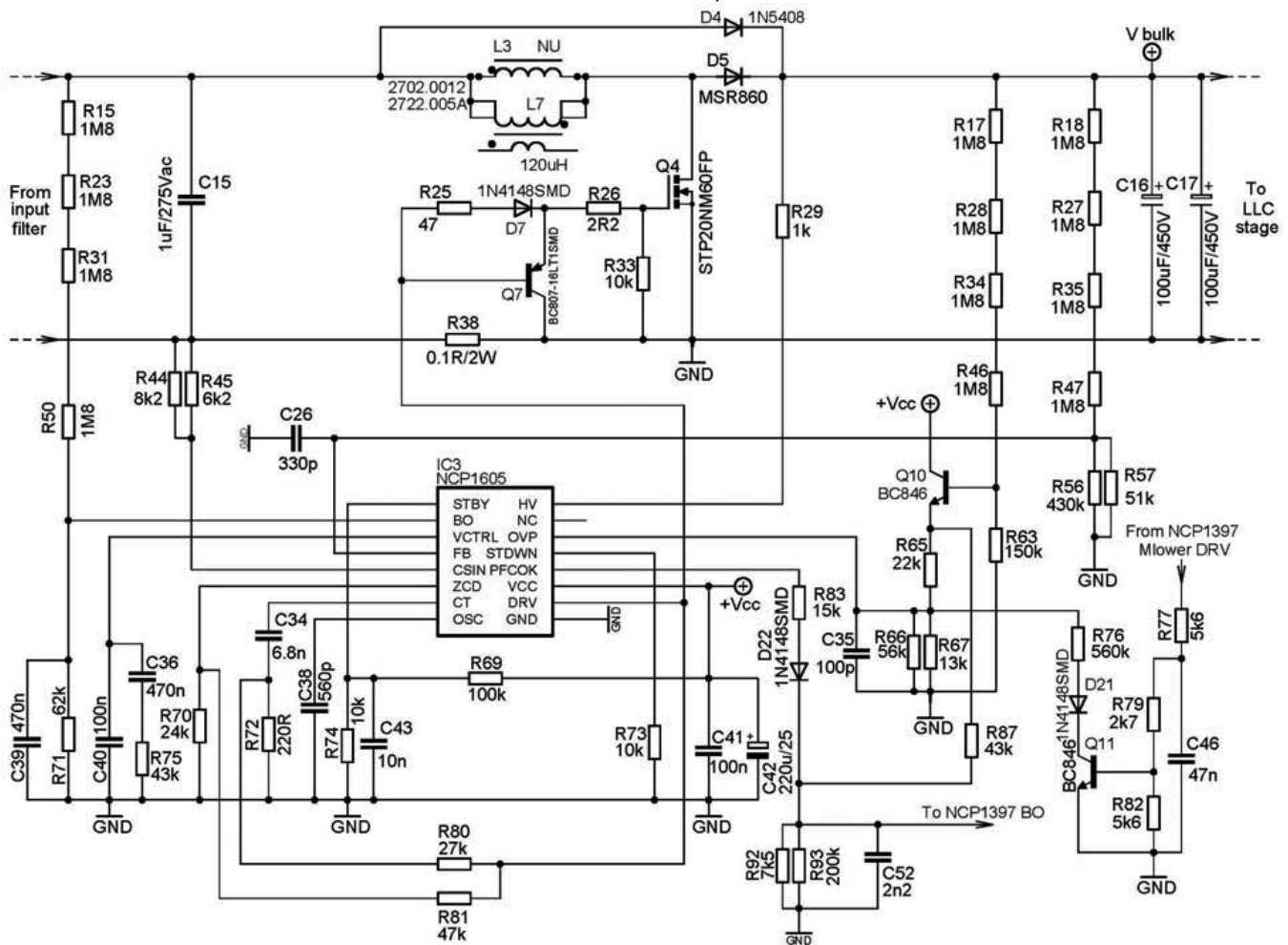


Figure 3. The PFC Stage Connection

Контроллер NCP1605 PFC имеет функцию режима пропуска с пороговыми значениями, которые фиксируются на уровне регулирования обратной связи (FB). Однако пульсации объемного напряжения в режиме пропуска будут слишком высокими для топологии LLC. Таким образом, в этой конструкции режим пропуска PFC реализован через вход OVP контроллера PFC с использованием внешнего биполярного транзистора Q11.

Рабочая частота ступени LLC увеличивается при уменьшении выходной нагрузки. Этап LLC переходит в режим пропуска и отключает драйверы при дальнейшем падении нагрузки. Таким образом, транзистор Q11 выключен, а резистор R76 отключен. Таким образом, напряжение на контакте PFC OVP увеличивается выше порога OVP, и работа каскада PFC прерывается. Затем выходное напряжение естественным образом падает, и ступень LLC возобновляет работу - Q11 снова включается, и ступень PFC работает нормально снова включается, потому что резистор R76 опускает вывод OVP. При использовании этого метода коррекция коэффициента мощности вынуждена периодически перезаряжать конденсатор большой емкости при небольшой нагрузке и при отсутствии нагрузки - таким образом реализуется режим пропуска коррекции коэффициента мощности с регулируемой пульсацией напряжения большой емкости. Поскольку режим пропуска реализуется извне через вывод OVP, а не через резервный вход, необходимо смещать вывод STBY выше 0,3 В с помощью резисторного делителя R69, R74.

Напряжение от эмиттера транзистора Q10 также делится делителем R87, R92, R93 и используется для управления работой ступени LLC через вход пониженного напряжения NCP1397. Во время запуска каскада PFC на выводе PFC_OK IC3 отсутствует напряжение, поэтому каскад LLC не может начать работу. Вывод PFC_OK увеличивается до 5 В после того, как каскад PFC достигает уровня регулирования.

Ток, который создается напряжением на выводе PFC_OK и резистором R83, добавляется к току, вытекающему из резистора R87, и вместе они создают падение напряжения на резисторах R92, R93. Контроллер стадии LLC использует эту сеть для защиты приложения, когда объемное напряжение падает ниже установленного порога.

Выходное напряжение PFC регулируется в соответствии с информацией, поступающей на вывод FB. Выходное напряжение делится резистивным делителем R18, R27, R35, R47, R56, R57 и подключается к выводу FB. Фильтрующий конденсатор C26 используется, потому что это делитель с высоким сопротивлением. Сеть компенсации объемного напряжения состоит из конденсаторов C36, C40 и резистора R75. Эта сеть также выполняет плавный пуск при включении каскада PFC. NCP1605 использует измерение отрицательного тока для ограничения максимального тока катушки и обнаружения сброса сердечника. Ток, протекающий через катушку L7 PFC, создает отрицательное напряжение на резисторе R38 считывания тока. Контроллер PFC подает ток на вывод CS, чтобы поддерживать нулевое напряжение на выводе CS. В результате ток вывода CS прямо пропорционален току катушки. Резисторы R44, R45 вставлены для регулировки тока вывода CS. Когда ток, протекающий через катушку индуктивности L7 и переключатель Q4, превышает максимальный уровень ограничения тока, ток вывода CS увеличивается выше порогового значения OPC (250 мкА), и драйвер выключается.

AND8460/D

Вход CS также используется для обнаружения размагничивания катушки для обнаружения нулевого тока. Обнаружение нулевого тока предотвращает включение полевого МОП-транзистора при протекании тока через катушку. Пока нет тока катушки, NCP1605 работает на частоте, определяемой внутренним генератором и внешним конденсатором C38. Чувствительность схемы обнаружения нулевого тока регулируется резисторами R70 и R81.

Чтобы защитить PFC от внезапных падений сетевого напряжения, контроллер контролирует выпрямленное линейное напряжение через понижающий делитель R15, R23, R31, R50, R71 и C39. Выход драйвера подключен к MOSFET Q4 через резисторы R25, R26 и диод D7 для регулирования скорости включения. Транзистор Q7 используется для ускорения времени выключения полевого МОП-транзистора и, таким образом, уменьшения потерь при выключении.

Пожалуйста, обратитесь к инструкции по применению [AND8281 / D](#) для получения подробной информации о конструкции и работе ступени PFC.

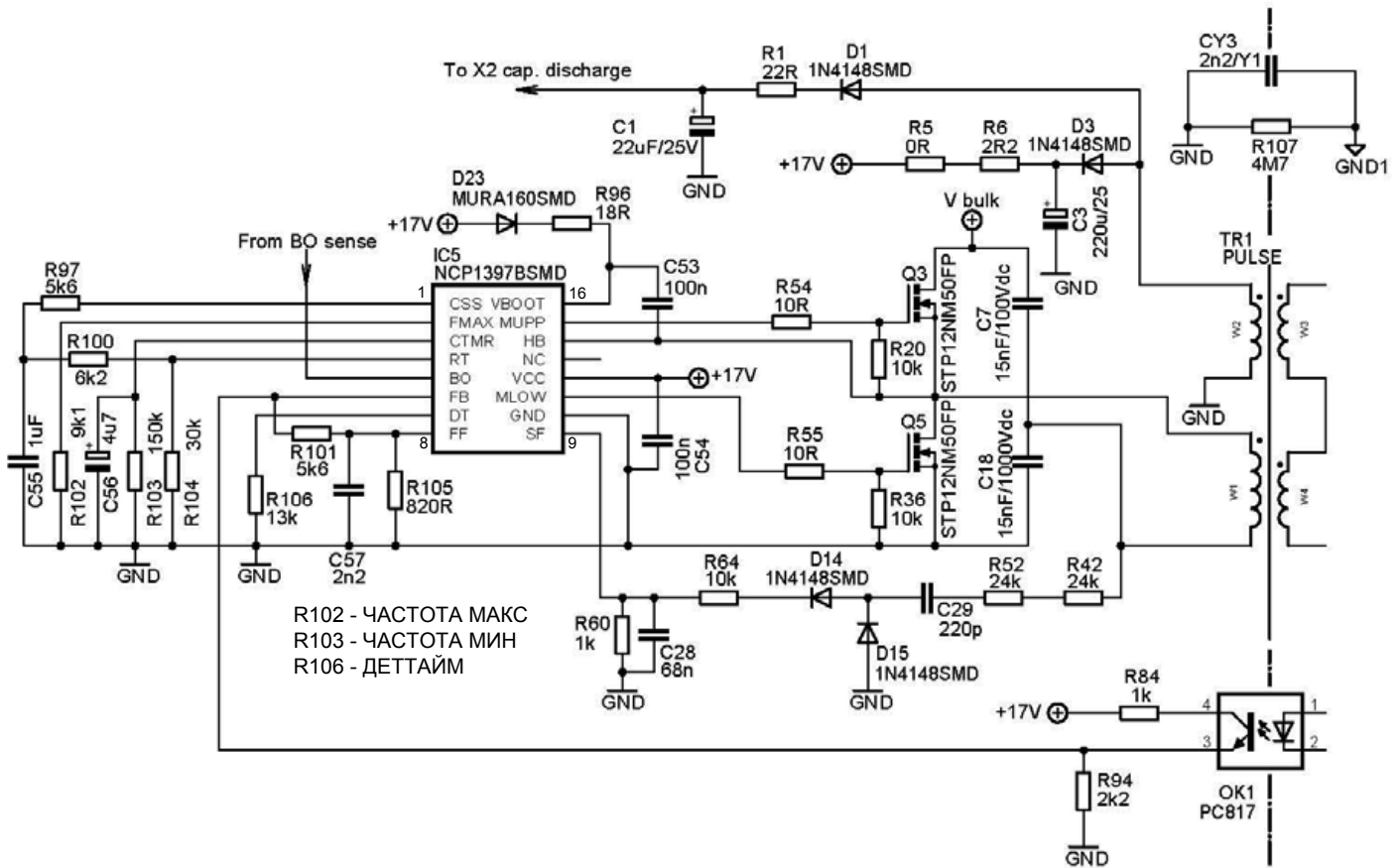


Figure 4. The LLC Stage Primary Side Connection

LLC Силовой каскад Первичная сторона Первичная сторона Подключение силового контура

Каскад PFC подготавливает стабилизированное напряжение на конденсаторах большой емкости C16 и C17 для нижнего каскада LLC (см. Рисунок 3). Силовой контур LLC-каскада замыкается через Q3 и Q5, трансформатор TR1 и резонансные конденсаторы C7, C18 (рисунок 4). Контроллер NCP1397 LLC оснащен драйвером высокого напряжения на 600 В и может управлять силовым каскадом НВ напрямую без использования управляющего трансформатора.

Резисторы R54 и R55 используются для подавления звонка и управления шумом электромагнитных помех на затворах силового полевого МОП-транзистора. Конденсатор начальной загрузки C53 обеспечивает энергию, необходимую для управления полевым МОП-транзистором верхнего плеча. Когда Q5 включен, напряжение на выводе НВ падает, и конденсатор C53 начальной загрузки заряжается через резистор R96 и высоковольтный диод D23. При включении и после любого перезапуска контроллер LLC сначала включает полевой МОП-транзистор Q5, чтобы зарядить конденсатор начальной загрузки.

Контроллеры PFC и LLC получают питание от вспомогательной обмотки W4 трансформатора TR1. Контроллер PFC сначала заряжает конденсаторы VCC C3, C42, когда демонстрационная плата подключена к сети. Как только ступень PFC начинает работу и объемное напряжение находится в пределах номинального рабочего диапазона, включается ступень LLC. Вспомогательная обмотка также обеспечивает напряжение смещения для схемы разряда конденсатора X2 через диод D1, резистор R1 и конденсатор C1. Схема разряда конденсатора X2 описана в разделе «Этап коррекции коэффициента мощности» (см. Стр. 3).

Цикл FB и режим пропуска:

Минимальная рабочая частота LLC-преобразователя устанавливается резистором R104 (см. Рисунок 5). Максимальная рабочая частота устанавливается резистором R102. Этап LLC достигнет максимальной рабочей частоты в условиях холостого хода.

Защита от перегрузки и короткого замыкания, плавный пуск:

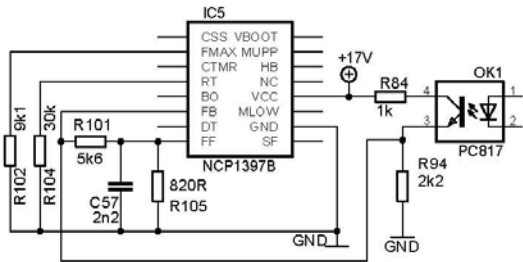


Figure 5. Подключение первичного контура FB и схемы пропуска

Обратная связь обеспечивается оптопарой ОК1. Ток оптопары регулирует напряжение FB, подаваемое на контроллер LLC. Таким образом, рабочая частота ступени LLC равна

модулированный для обеспечения регулирования выходного напряжения. Резистор R84 используется для ограничения максимального скачка напряжения на выводе FB в случае, если контроллер LLC выходит за пределы диапазона регулирования (например, во время режима пропуска или переходной нагрузки).

Функция пропуска режима повышает эффективность источника питания за счет исключения циклов переключения при небольшой нагрузке или в условиях отсутствия нагрузки. Режим пропуска реализуется с помощью контакта Skip / Disable контроллера LLC. Напряжение на выводе FB увеличивается при уменьшении нагрузки. Если нагрузка становится слишком низкой, ступень LLC не может поддерживать регулирование, потому что рабочая частота не может увеличиваться дальше (фиксирующий резистор Fmax R102). Напряжение FB тогда превышает предел Vfb_max, равный 5,3 В. Резисторный делитель R101 и R105 подает напряжение на выводе FB на вход Skip / Fault. Таким образом, выходные драйверы автоматически отключаются, и устройство начинает пропускать циклы переключения. Для эффективного режима пропуска напряжение FB должно превышать номинальный уровень регулирования от 50% до 70% (зависит от времени отклика контура FB). Делитель напряжения FB R101 = 5,6 кОм и R105 = 820 Ом использовался, чтобы позволить Vfb колебаться в пределах 5–7,5 В. Эта установка обеспечивает пульсации выходного напряжения пик-пик 20 мВ в условиях холостого хода.

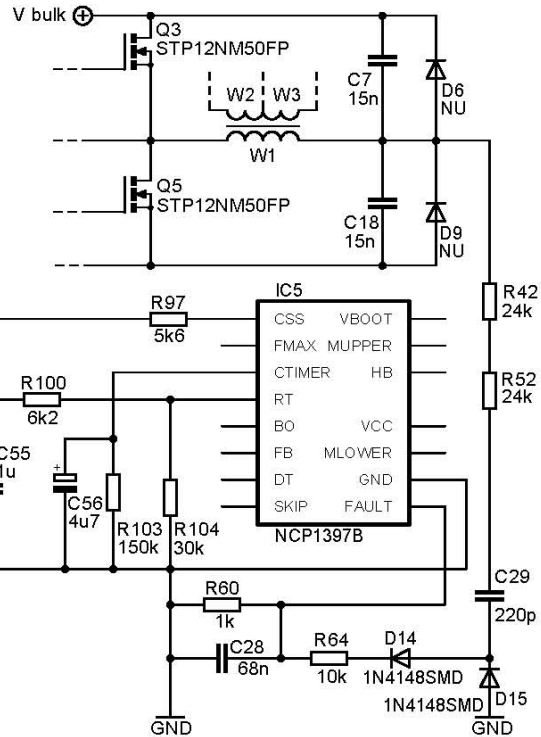


Figure 6. Схема защиты от перегрузки и / или короткого замыкания на выходе

В этой конструкции реализована защита от перегрузки по току (OCP) для защиты приложения от условий перегрузки. Первичный ток измеряется косвенно путем мониторинга резонансного напряжения конденсатора через зарядную накачку, образованную резисторами R42, R52, R64, конденсатором C29 и диодами D14, D15 (см. Рисунок 6). Выход накачки заряжается резистором R60 и фильтруется конденсатором C28. Переключатель разряда конденсатора плавного пуска на выводе 1 включается, когда напряжение на выводе неисправности достигает порогового значения VRef_fault (1,04 В). Таким образом, рабочая частота ступени LLC автоматически увеличивается по мере падения напряжения конденсатора плавного пуска и выхода более высокого тока из вывода Rt. Сдвиг частоты естественным образом снижает первичный ток и защищает первичные МОП-транзисторы от повреждений. Также в это время источник тока Itimer1 активируется на контакте 3, и он начинает заряжать внешний синхронизирующий конденсатор C56. Если состояние перегрузки длится дольше, чем постоянная времени, установленная током Itimer1 и компонентами вывода таймера (C56, R103), контроллер переходит в режим защиты и выходные драйверы отключаются. Как только конденсатор таймера C56 разряжается до 1 В резистором R103, приложение пытается перезапуститься с периодом плавного пуска. Приложение также может возобновить работу с сбросом VCC, если VCC контроллера LLC упадет до того, как C56 разрядится до 1 В. Время таймера неисправности слишком велико, чтобы защитить приложение от повреждения из-за короткого замыкания на вторичной стороне (короткое замыкание выходных клемм или короткое замыкание вторичной обмотки трансформатора).

AND8460/D

Для защиты от такой возможности имеется второй компаратор ОСР, контролирующий напряжение на выводе неисправности. Когда сдвига частоты (через вывод Soft Stat и резисторы R97, R100) становится недостаточно для ограничения первичного тока, напряжение резонансного конденсатора увеличивается до такого уровня, что входное напряжение неисправности достигает порога Vref_OCP (1,55 В). Затем приложение блокируется и защищает компоненты силового каскада от повреждений. Схема остается заблокированной до тех пор, пока VCC не упадет ниже VCC_reset, а затем снова не превысит пороговое значение VCC_on.

Уровень первичного тока, который активирует защиту от перегрузки, определяется максимальным вторичным током, передаваемым на первичную сторону, а также током намагничивания трансформатора. Среднеквадратичное значение первичного тока можно приблизительно рассчитать с помощью уравнения 1.

$$I_{\text{Primary_rms}} \approx \sqrt{\frac{1}{8} \left(I_{\text{out_max}}^2 \cdot \pi^2 \cdot G_{\text{nom}}^2 + \frac{V_{\text{bulk_nom}}^2}{24 \cdot L_m^2 \cdot f_{\text{op_ovld}}^2} \right)} \quad (\text{eq. 1})$$

Where:

$I_{\text{out_max}}$ – максимальный выходной ток ступени LLC (23 А)

G_{nom} – номинальный коэффициент усиления ступени LLC.

($G_{\text{nom}} = 0.062$ – refer to Page 13)

$V_{\text{bulk_nom}}$ – это номинальное объемное напряжение

L_m – это первичная намагничивающая индуктивность (715 μH)

$f_{\text{op_ovld}}$ – рабочая частота в условиях перегрузки (78 kHz)

Приведенное выше уравнение является точным приближением для приложений, работающих на резонансной частоте. Точность снижается для приложений, работающих намного ниже или выше последовательной резонансной частоты. Самый точный подход – это измерение первичного среднеквадратичного тока либо путем моделирования, либо непосредственно в приложении. Для данного приложения уровень первичного среднеквадратичного тока составляет 1,68 А при выходной мощности 276 Вт (т. Е. 115% от номинальной выходной мощности). Основной

Первичный ток протекает через резонансный конденсатор и создает переменное напряжение $V_{C_{s_ac}}$, которое задается уравнением 2.

$$V_{C_{s_ac}} = \frac{I_{\text{Primary_rms}}}{2 \cdot \pi \cdot f_{\text{op_ovld}} \cdot C_s} = \frac{1.68}{2 \cdot 3.14 \cdot 78 \cdot 10^3 \cdot 30 \cdot 10^{-9}} = 114 \text{ Vac} \quad (\text{eq. 2})$$

Где:

C_s – резонансная емкость конденсатора, т.е. C7 + C18

Смещение постоянного тока, которое присутствует на резонансном конденсаторе, не передается на вывод неисправности, поскольку зарядный насос не может обрабатывать постоянное напряжение.

Критический сбой (например, короткое замыкание) может привести к тому, что резонансное напряжение конденсатора превысит номинальное объемное напряжение. В этом случае через зарядный насос может протекать высокий пиковый ток.

диоды D14, D15. Резисторы серии R42, R52 ограничивают ток диода накачки заряда до безопасного уровня. Общее последовательное сопротивление можно приблизительно рассчитать с помощью уравнения 3.

$$R_s = \frac{V_{C_{s_peak}}}{I_{f_limit}} = \frac{1 \cdot 10^3}{20 \cdot 10^{-3}} = 50 \text{ k}\Omega \quad (\text{eq. 3})$$

Где:

R_s – Используемое общее последовательное сопротивление ($R42 + R52$).

$V_{C_{s_peak}}$ – пиковое резонансное напряжение конденсатора

I_{f_limit} – максимальный прямой ток D14, D15

В последнем приложении используется последовательное сопротивление $R_s = R42 + R52 = 48 \text{ k}\Omega$. Было реализовано сопротивление нагрузки 1 кОм ($R60$), чтобы гарантировать хорошую помехозащищенность на входе неисправности. Когда входное напряжение неисправности достигает порогового значения 1,04 В, включается компаратор 1-й неисправности. Фильтрующий конденсатор C28 должен быть малой емкости для обеспечения быстрого отклика системы ОСР. Однако это означает, что во входном напряжении неисправности будет присутствовать пульсация. Чтобы избежать каких-либо проблем, среднее выходное напряжение цепи считывания ОСР было выбрано как минимум на 10% ниже порога компаратора 1-й неисправности ($V_{\text{OCP_sense out}} = 0,9 \cdot V_{\text{ref_fault}}$).

Дополнительный резистор R64 позволяет при необходимости точно регулировать порог перегрузки. Емкость конденсатора накачки заряда может быть рассчитана с помощью уравнения 4.

$$C_{28} = \frac{1}{2 \cdot \pi \cdot f_{\text{op_ovld}} \cdot \sqrt{\left| 2 \cdot \left(\frac{V_{C_{s_ac}} \cdot R_{60}}{\pi \cdot V_{\text{ref_fault}}^{0.9}} - \frac{(R_{60} + R_{64})}{2} \right)^2 - (R_{42} + R_{52})^2 \right|}} = 214.6 \text{ pF} \quad (\text{eq. 4})$$

Где:

$V_{\text{ref_fault}}$ – пороговое напряжение компаратора 1-й неисправности.

Конденсатор накачки заряда стандартного значения ($C29 = 220 \text{ pF}$) используется в конечном приложении.

Как упоминалось выше, фильтрующий конденсатор C28 влияет на время отклика системы ОСР и ее точность. Емкость фильтрации следует выбирать таким образом, чтобы постоянная времени R60 - C28 была как минимум в 5 раз выше периода работы преобразователя (уравнение 5).

Суммарные потери мощности, возникающие в последовательной комбинации резисторов R42, R52, должны быть проверены (уравнение 6).

$$P_{R_s} = \left(\frac{\pi \cdot V_{\text{ref_fault}} \cdot 0.9}{\sqrt{2} \cdot R_{60}} \right)^2 \cdot R_s = 0.208 \text{ W} \quad (\text{eq. 6})$$

Как уже упоминалось, первый порог неисправности компаратора достигается при возникновении условий перегрузки. Переключатель разряда конденсатора Soft-Stat активируется, и рабочая частота преобразователя автоматически увеличивается, ограничивая первичный ток. Последовательный резистор R97 = 5,6 кОм используется на входе плавного пуска для преодоления беспорядочных колебаний при переходе между нормальным режимом работы и режимом работы с перегрузкой. Этот резистор также снижает максимальную рабочую частоту в условиях перегрузки до 150 кГц.

Для этой конструкции была выбрана пусковая частота 200 кГц, чтобы ограничить первичный ток во время фазы плавного пуска. Частота запуска определяется общим током, поступающим с вывода Rt во время запуска. Когда приложение запускается, контроллеры PFC и LLC достигают рабочего напряжения VCC. Контроллер LLC отключается через вход пониженного напряжения до тех пор, пока выход каскада PFC не достигнет уровня регулирования. В это время активен переключатель разряда конденсатора плавного пуска, а также источник опорного напряжения на выводе Rt. Таким образом, конденсатор плавного пуска заряжается до напряжения, которое задается опорным напряжением на выводе Rt (2,3 В) и резистивным делителем, состоящим из резисторов R97, R100. Начальное напряжение конденсатора плавного пуска можно рассчитать с помощью уравнения 7.

$$V_{SS_start} = 2.3 \cdot \frac{R_{97}}{R_{97} + R_{100}} = \frac{5.6}{5.6 + 6.2} = 1.1 \text{ V} \quad (\text{eq. 7})$$

Внутренним сопротивлением переключателя плавного пуска можно пренебречь, так как его значение невелико - 100. Когда контроллер LLC достигает рабочего VCC до сигнала ВО_ОК, пусковая частота может быть рассчитана с использованием последовательной и параллельной комбинации резисторов R97, R100 и R104. Общее сопротивление вывода Rt во время плавного пуска рассчитывается с использованием уравнения 8.

$$R_{Rt_start} = \frac{R_{104} \cdot (R_{97} + R_{100})}{R_{104} + R_{97} + R_{100}} \quad (\text{eq. 8})$$

Для начальной частоты 200 кГц требуется значение RRT_star, равное 8,47 кГц (см. Таблицу данных NCP1397A / В - диаграмма for vs. RRT).

Величину резистора R100 можно рассчитать, преобразовав уравнение 8 в уравнение 9.

$$R_{100} = \frac{R_{Rt_start} \cdot R_{104} + R_{Rt_start} \cdot R_{97} - R_{97} \cdot R_{104}}{R_{104} - R_{Rt_start}} = 6.2 \text{ k}\Omega \quad (\text{eq. 9})$$

Величина конденсатора плавного пуска определяется требуемым временем нарастания выходного напряжения. Конденсатор плавного пуска, C55 = 1 μF, в сочетании с резистором R100 обеспечивает время нарастания выходного напряжения 18 мс.

В состоянии перегрузки активируется таймер неисправности, чтобы выключить приложение по истечении запрограммированного периода времени. Этот метод предотвращает тепловое повреждение ИИП. Если состояние перегрузки исчезает до истечения таймера, контроллер не прерывает работу. Продолжительность таймера неисправности определяется конденсатором C56, резистором R103 и током зарядки выводов Ctimer ltimer1. Время зарядки конденсатора таймера неисправности можно рассчитать с помощью уравнения 10. Период зарядки должен быть выбран таким, чтобы был достаточный запас для периода плавного пуска и переходной перегрузки. В этой конструкции использован период ошибки 100 мс.

$$T_{\text{fault}} = -R_{103} \cdot C_{56} \cdot \ln\left(1 - \frac{V_{\text{timer(on)}}}{R_{103} \cdot I_{\text{timer1}}}\right) = \quad (\text{eq. 10})$$

$$= -150 \cdot 10^3 \cdot 4.7 \cdot 10^{-6} \cdot \ln\left(1 - \frac{4}{150 \cdot 10^3 \cdot 175 \cdot 10^{-6}}\right) =$$

$$= 117 \text{ ms}$$

Where:

$V_{\text{timer(on)}}$ – is the fault timer upper threshold

I_{timer1} – is the timer pin charging current

The off-time period of the fault timer is given by Equation 11 when the LLC controller V_{CC} stays at sufficient level (i.e. above V_{CC_off}).

$$T_{\text{off}} = R_{103} \cdot C_{56} \cdot \ln\left(\frac{V_{\text{timer(on)}}}{V_{\text{timer(off)}}}\right) = \quad (\text{eq. 11})$$

$$= 150 \cdot 10^3 \cdot 4.7 \cdot 10^{-6} \cdot \ln\left(\frac{4}{1}\right) = 977 \text{ ms}$$

Where:

$V_{\text{timer(off)}}$ – is the fault timer lower threshold

The recovery time should be selected with respect to the thermal stress of the power stage components. The timer duration is determined by the V_{CC} capacitor discharge time in this design. This is because the primary controller supply voltage naturally drops when the LLC stage is turned-off. In this application, the SMPS recovery time is 1.8 s.

The PCB design features options for over current protection diodes D6, D9. Protection diodes, when implemented, limit the maximum resonant capacitor voltage excursion to V_{bulk} level. The primary current is thus naturally limited to a safe level. The use of protection diodes when making changes to the demoboard circuitry is recommended. The OCP diodes can be removed again after the modified system is verified to be working correctly.

LLC Power Stage Secondary Side

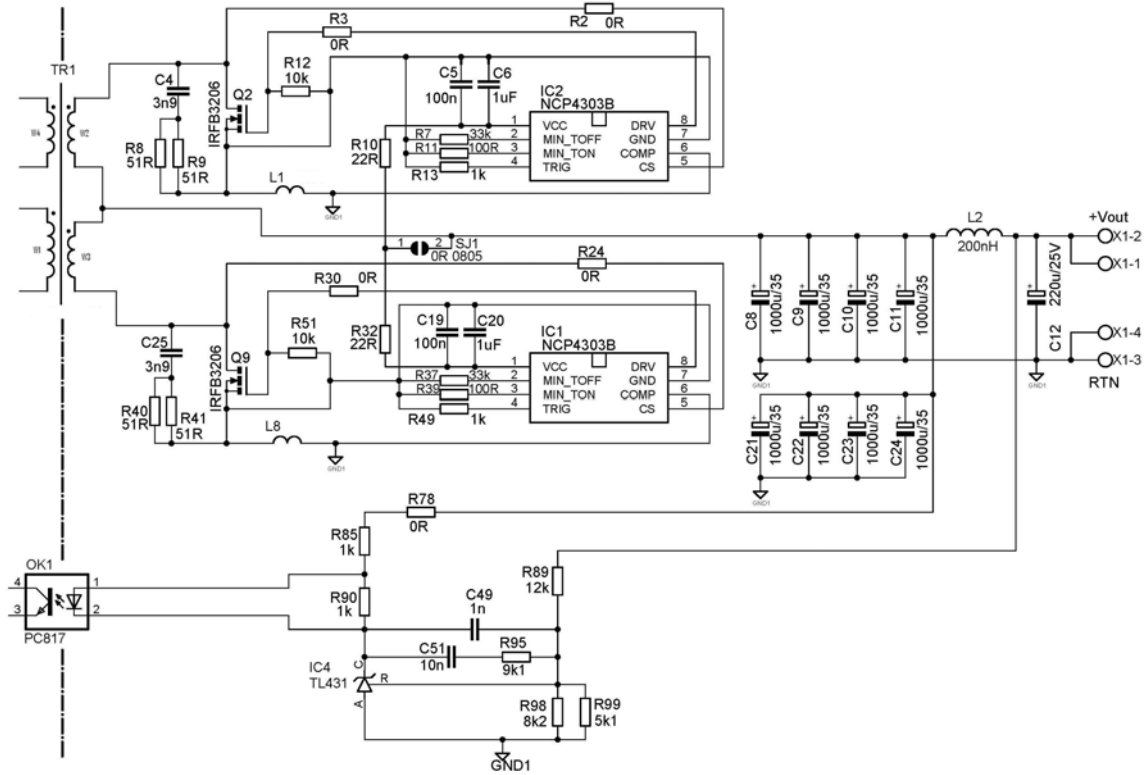


Figure 7. Схема вторичной стороны LLC

The secondary side uses synchronous rectification with a center tapped transformer configuration in order to provide high efficiency full wave rectification (Figure 7). The SR MOSFETs Q₂, Q₉ are connected in series with secondary windings W₂, W₃, inductors L₁, L₈, filtering capacitor bank C₈–C₁₁, C₂₁–C₂₄. Standard TO–220 package SR MOSFETs have been selected for the application because they reduce manufacturing costs. However, the parasitic inductances of the SR MOSFET package create an error voltage that increases the turn off current threshold. The shift in turn off threshold results in a less than optimal conduction period, reducing the efficiency. In order to avoid this unwanted shift, the NCP4303 features a package parasitic inductance compensation technique. The technique requires the use of a small compensation inductance (L₁, L₈). The secondary current creates a voltage on the compensation inductance and dynamically offsets the ZCD comparator threshold via the COMP input. This method assures maximum conduction time of the SR MOSFET and therefore increases efficiency. The compensation inductor is formed by a square loop of copper wire with diameter of $\phi = 1.2$ mm (refer to Figure 66). The compensation inductance value is approximately 4 nH.

SR controllers IC₁, IC₂ are powered from the application output. Resistors R₁₀, R₃₂ together with decoupling capacitors C₅, C₆, C₁₉ and C₂₀ form RC filters to smooth current spikes created during SR driver turn–on. The current

sense input monitors the SR MOSFET drain voltage to determine when to turn on and off the SR MOSFET. The NCP4303 driver is connected directly to the SR MOSFET without any external gate resistor in order to minimize turn–off delay. No ringing or EMI issues related to driver current occur assuming a proper layout is used i.e. driver circuitry loop area is minimized.

The power losses related to the SR MOSFET gate driving can be calculated using Equation 12.

$$P_{DRV} = V_{CC} \cdot V_{clamp} \cdot C_{g_ZVS} \cdot f_{sw_max} \quad (\text{eq. 12})$$

Where:

V_{CC} – is the NCP4303 supply voltage (V_{out} in this case)

V_{clamp} – is the driver clamp voltage

C_{g_ZVS} – is the gate to source capacitance of the SR MOSFET in ZVS mode

f_{sw_max} – is the maximum switching frequency of the application

The SR MOSFET conduction losses can be calculated from the secondary RMS current and channel resistance for a given gate voltage (Equation 13).

$$P_{COND} = \left(I_{out} \cdot \frac{\pi}{4} \right)^2 \cdot R_{DS(on)@V_{gs_clamp}} \quad (\text{eq. 13})$$

Where:

I_{out} – is the output current

$R_{DS(on)}@V_{gs_clamp}$ – is the SR MOSFET channel resistance for the given driver voltage clamp level

The body diode conduction time and related losses can be significantly reduced due to the NCP4303 compensation capability. If the body diode losses are neglected, the total losses of the SR system can be approximated by summing the driving and conduction losses and then multiplying by the number of SR MOSFETs (Equation 14).

$$P_{SR} = 2 \cdot (P_{COND} + P_{DRV}) \quad (\text{eq. 14})$$

The SR MOSFET selection has been made with both cost and efficiency considerations. Another important step is selecting which NCP4303 driver clamp version to use (6 V or 12 V). The choice can be made using the above equations. The theoretical power losses calculated for a SR system using IRFB3206 MOSFETs and two different gate driver clamp voltages can be seen in Figure 8.

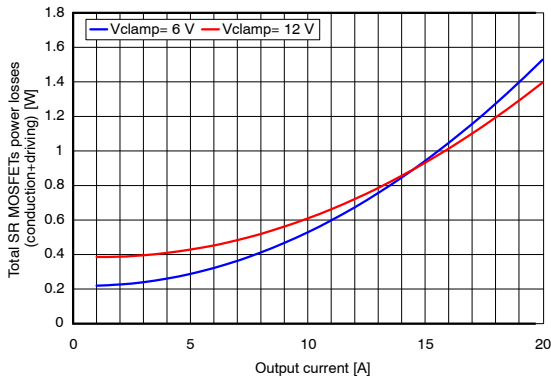


Figure 8. Theoretical Losses of the IRFB3206 SR MOSFET as a Function of Output Current

Figure 8 shows that theoretically calculated losses increase for output current lower than 14 A when 12 V gate driver clamp is used. The maximum efficiency requirement is specified at 50% of full load by the 80 PLUS® program. Therefore the NCP4303B (6 V gate drive clamp) has been selected due to its improved efficiency at light to medium load.

The power dissipation within the IC package needs to be considered in order to avoid overheating issues. Losses related to the driving of the SR MOSFET gate can be calculated using Equation 15.

$$P_{DRV_IC} = \frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}^2 \cdot f_{SW} \cdot \left(\frac{R_{drv_low_eq}}{R_{drv_low_eq} + R_{g_int}} \right) + C_{g_ZVS} \cdot V_{clamp} \cdot f_{SW} \cdot (V_{CC} - V_{clamp}) + \frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}^2 \cdot f_{SW} \cdot \left(\frac{R_{drv_high_eq}}{R_{drv_high_eq} + R_{g_int}} \right) = 76 \text{ mW} \quad (\text{eq. 15})$$

Where:

$R_{drv_low_eq}$ – is the SR driver low side switch equivalent

resistance (1.55 Ω)

$R_{drv_high_eq}$ – is the SR driver high side switch equivalent resistance (7 Ω)

R_{g_int} – is the internal gate resistance of the SR MOSFET

Power losses related to the SR controller internal consumption are given by Equation 16.

$$P_{ICC} = V_{CC} \cdot I_{CC} = 35 \text{ mW} \quad (\text{eq. 16})$$

Where:

I_{CC} – is the NCP4303 driver supply current for $C_{load} = 0 \text{ nF}$ and maximum operating frequency (refer to the NCP4303 datasheet for the I_{CC} versus f_{op} chart)

The DIE temperature is given by the thermal resistance from junction to ambient, total power dissipation of the SR controller, and ambient temperature (Equation 17).

$$T_{DIE} = (P_{DRV_IC} + P_{ICC}) \cdot R_{\theta JA} + T_A = (0.076 + 0.035) \cdot 180 + 60 = 80^\circ \text{C} \quad (\text{eq. 17})$$

Where:

$R_{\theta JA}$ – is the IC thermal resistance from junction to ambient
 T_A – is the ambient temperature (worst case when the board is fully loaded)

High DIE temperature could appear in applications with high operating frequencies. Additional copper heat sinking in the PCB or a thermal conductor between the SR controller and SMPS package should be used to maintain DIE temperature below the maximum ratings.

The snubber networks R_8 , R_9 , R_{40} , R_{41} , C_4 and C_{25} dampen the voltage ringing that occurs on the SR MOSFET drain when the secondary winding voltage reverses. The ringing frequency is given by the secondary leakage inductance $L_{sec,leak}$ and output capacitance C_{OSS} of the SR MOSFET. The snubber resistance should be equal to the characteristic impedance of the ringing circuitry in order to effectively dampen the oscillations Reference 9, (Equation 18).

$$R_{snubber} = \sqrt{\frac{L_{sec,leak}}{C_{OSS}}} \quad (\text{eq. 18})$$

Where:

$R_{snubber}$ – is the snubber resistance

$L_{sec,leak}$ – is the secondary leakage inductance

C_{OSS} – is the SR MOSFET output capacitance

The snubber capacitance $C_{snubber}$ must be larger than the SR MOSFET output capacitance, but small enough to minimize dissipation in the snubber resistor. The snubber capacitance is generally chosen to be at least 3 to 4 times higher than the value of the parasitic resonant capacitor.

$$C_{snubber} = 3 \rightarrow 4 \cdot C_{OSS} \quad (\text{eq. 19})$$

The NCP4303 minimum on time and off time generators protect against unwanted switching that could be triggered by ringing on the ZCD comparator. Resistors R_{11} , R_{39} set the minimum on time period. The minimum on time period is selected based on the maximum operating frequency of the LLC stage as well as the secondary current waveform.

During light load conditions, the secondary current oscillation can cause unwanted SR MOSFET switching. A minimum on time of 1.1 μs is needed to prevent this behavior. The required value of min Ton adjust resistors can be calculated using Equation 20.

$$R_{T_on_min} = \frac{T_{on_min} - 4.66 \cdot 10^{-8}}{9.82 \cdot 10^{-11}} = \quad (\text{eq. 20})$$

$$= \frac{1.1 \cdot 10^{-6} - 4.66 \cdot 10^{-8}}{9.82 \cdot 10^{-11}} \approx 11 \text{ k}\Omega$$

Where:

$R_{T_on_min}$ – is the minimum on time adjust resistor

The minimum off time period is given by resistors R7, R37. To prevent issues when the application operates at minimum frequency, the minimum off time should be set to as long as possible. However, the minimum off time value is limited by the maximum operating frequency clamp. In our case, the minimum switching period of the LLC stage is 9.1 μs . Thus the minimum off time period is selected to be 3.9 μs in order to provide a long minimum off time with some margin for the minimum switching period. The minimum off time adjust resistor value can be calculated using Equation 21.

$$R_{T_off_min} = \frac{T_{off_min} - 5.4 \cdot 10^{-8}}{9.56 \cdot 10^{-11}} = \quad (\text{eq. 21})$$

$$= \frac{3.9 \cdot 10^{-6} - 5.4 \cdot 10^{-8}}{9.56 \cdot 10^{-11}} \approx 39 \text{ k}\Omega$$

Where:

$R_{T_off_min}$ – is the minimum off time adjust resistor

If the LLC converter uses a very wide operating frequency range, it is beneficial to modulate the minimum off time period. The modulation is possible using a resistor connected from the SR MOSFET drain to the opposite SR controller min Toff pin. When the drain voltage is at a high level, current is injected into the min Toff pin. The internal capacitance charging current is thus decreased and the minimum off time period increases. Please refer to the NCP4303 datasheet for more information on how to modulate the minimum off time period.

The NCP4303 features a trigger input that can be used to implement synchronous rectification systems in CCM applications. Additionally, the trigger input can be used to disable the IC and activate a low consumption standby mode. The demoboard layout features optional circuitry (refer to complete schematic – page 31) that allows the customer to implement a primary triggering signal. Normally this is not need in LLC applications as the NCP4303 features a low propagation delay from the CS input to the DRV output. The trigger circuitry option is implemented to allow the customer to test the trigger input functionality.

The no load consumption of the application can be reduced by implementing parallel Schottky diodes across

the SR MOSFETs and turning the SR system into sleep mode during light load. The demoboard provides a control input that can be used for this purpose. The external SR standby on/off circuitry can be implemented by monitoring output current.

It is critical to assure correct layout of the SR system to avoid issues with the zero current detection circuitry. Please refer to the NCP4303 datasheet for layout considerations and more information on how the ZCD and the compensation systems work.

The secondary filtering capacitor bank RMS current during full load series resonant frequency operation can be calculated using Equation 22.

$$I_{Cf_RMS} = I_{out_nom} \cdot \sqrt{\frac{\pi^2}{8} - 1} = 20 \cdot 0.483 = 9.7 \text{ A} \quad (\text{eq. 22})$$

Where:

I_{out_nom} – is the nominal output current

Filtering capacitors must be used in parallel to handle the total RMS current. Low impedance type capacitors have been used in this design. The total equivalent series resistance (ESR) of the capacitor bank is 2.25 m Ω . The output voltage ripple related to the filtering capacitor bank is composed from two components:

- 1st the ESR related ripple (Equation 23) and
- 2nd the ripple related to the capacitor bank capacitance (Equation 24).

$$V_{Cf_ripple_pk-pk} = ESR \cdot I_{rect_peak} = 2.2 \cdot 10^{-3} \cdot \frac{\pi}{2} \cdot 20 = 69 \text{ mV} \quad (\text{eq. 23})$$

Where:

I_{rect_peak} – is the peak current through the secondary

$$V_{out_ripple_cap_pk-pk} = \frac{I_{out_nom}}{2 \cdot \sqrt{3} \cdot \pi \cdot f_{op_nom} \cdot C_f} \cdot (\pi - 2) = \frac{20}{2 \cdot \sqrt{3} \cdot 80 \cdot 10^3 \cdot 8 \cdot 10^{-3}} \cdot (\pi - 2) = 10 \text{ mV} \quad (\text{eq. 24})$$

Where:

f_{op_nom} – is the nominal operating frequency

C_f – is the total capacitance of the capacitor bank

The capacitive component of the output ripple is negligible in this case because of the total filtering capacitance value.

The power losses that are created by the filtering capacitor bank ESR can be calculated using Equation 25.

$$P_{Cf_ESR} = \left(I_{out_nom} \cdot \sqrt{\frac{\pi^2}{8} - 1} \right)^2 \cdot ESR = \quad (\text{eq. 25})$$

$$= \left(20 \cdot \sqrt{\frac{\pi^2}{8} - 1} \right)^2 \cdot 2.25 \cdot 10^{-3} = 0.21 \text{ mW}$$

The PCB secondary side layout can significantly affect current distribution among the filtering capacitors. Ideally, the secondary layout should result in an equal distribution of

filtering capacitor connection series parasitic impedances (refer to Figure 9). If mismatched, capacitors with lower series impedance within the bank handle a higher current, which results in decreased life time.

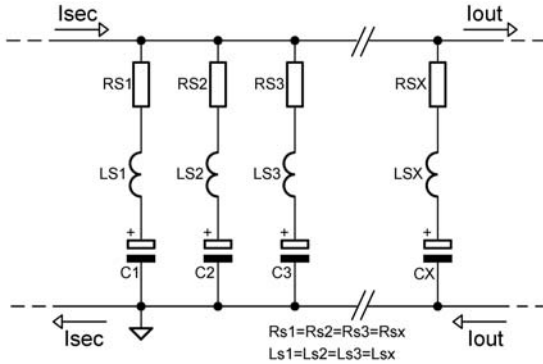


Figure 9. Ideal Configuration of the Capacitor Bank

The capacitor bank provides the bulk of filtering for the secondary currents, but it does not fully filter out narrow glitches produced when the secondary winding reverses. Thus an additional LC filter (L_2 , C_{12}) has been implemented. The resonant frequency of this filter should be as low as possible but on the other hand it can affect system loop gain if selected too close to the crossover frequency. A resonant frequency of 24 kHz has been selected for this design. The filter inductor of 200 nH features a low DC resistance, which helps keep efficiency high at medium and full load conditions. A filtering capacitor C_{12} of 220 μ F (low impedance type) has been implemented. The filter provides higher peaking around the resonant frequency when a low ESR capacitor is used. On the other hand, if a capacitor with too high of ESR is used, the output voltage drop during fast transient loading increases. The additional LC filter also reduces output voltage ripple at nominal operating frequency and full load conditions by -10 dB.

The output voltage regulation is assured by IC₄. Divider R₈₉, R₉₈ and R₉₉ provides the regulator IC with output voltage information. Resistor R₈₅ limits the maximum current that can pass through optocoupler OK₁. Resistor R₉₀ bypasses the optocoupler and provides a bias path for IC₄. The compensation network is composed of resistor R₉₅ and capacitors C₄₉, C₅₁. Please refer to application note AND8327/D to learn how to calculate the compensation network. The Bode plot of the full loaded LLC stage is shown in Figure 10.

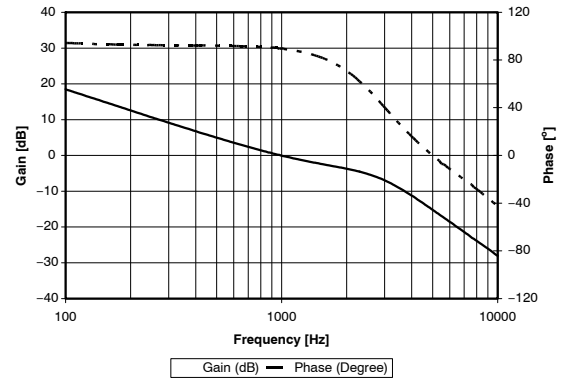


Figure 10. Closed Loop Gain and Phase of the LLC Power Stage for Nominal Output Current

As previously mentioned, the secondary RMS currents are quite high in this application. Parasitic layout resistances can thus affect the LLC stage efficiency. A PCB with 70 μ m copper plating has been used for this demo board to minimize power losses related to the secondary side layout.

Resonant tank and transformer design:

An LLC transformer from Pulse engineering has been selected for this design. This transformer offers extra high leakage inductance thanks to a special bobbin arrangement (see demo board photo in Figure 63). The transformer leakage inductance is used as a resonant inductance. This solution eliminates the need for an additional resonant inductor, reducing the overall application cost. On the other hand, a transformer with high leakage inductance causes a stronger proximity effect in the windings, resulting in increased requirements for the winding construction. Another disadvantage of the leaky transformer is high stray flux that negatively impacts the radiated EMI emission. Significant eddy currents can be induced by stray flux in the surrounding metal parts. Therefore it is important to not place these parts too close to the transformer.

The transformer is designed in such a way that the LLC stage is operated in, or very close to, the series resonant frequency (f_s) for full load conditions and nominal bulk voltage. Efficiency is optimized for these operating conditions. The LLC stage operating frequency is increased up to 110 kHz to maintain output voltage regulation when the load diminishes. When the output load drops further down below 1.4 A, the maximum operating frequency clamp is reached and the application enters skip mode operation to reduce the LLC stage power losses. On the other

hand, when the bulk voltage drops, the secondary regulator decreases the LLC stage operating frequency down to 65 kHz to achieve the necessary gain for output voltage regulation.

First harmonic approximation (FHA, refer to References 7 or 11) is a common method for resonant converter analysis. In the actual application, the resonant tank is driven by a square wave voltage. However, FHA modeling does not use a square wave drive. Instead, an equivalent load resistance is used for FHA analysis to compensate for the difference (Equation 26):

$$R_{ac} = \frac{8}{\pi^2} \cdot \frac{V_{out}}{I_{out_nom} \cdot \eta} = 0.51 \quad (\text{eq. 26})$$

Where:

R_{ac} – is the equivalent load resistance for the FHA model
 η – is expected efficiency of the LLC stage (94.5%)

The FHA equivalent schematic of an LLC stage with external resonant inductor L_s and standard transformer with magnetizing inductance L_m and negligible leakage inductance can be seen in Figure 11.

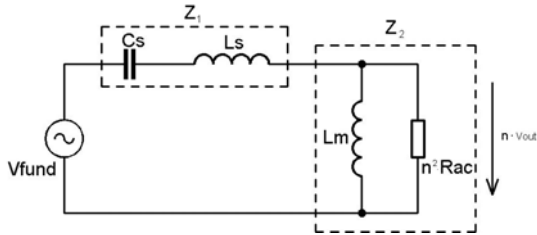


Figure 11. Equivalent Schematic for FHA Analysis

The LLC converter behaves like a frequency dependent divider i.e. the power stage gain can be modified by changing the operating frequency. The LLC stage gain needed for output voltage regulation under full load conditions and selected bulk voltage range (350 Vdc – 425 Vdc) can be calculated based on Equations 27 – 29.

$$G_{min} = \frac{2 \cdot (V_{out} + V_{f_SR})}{V_{bulk_max}} = \frac{2 \cdot (12 + 0.2)}{425} = 0.057 \quad (\text{eq. 27})$$

$$G_{nom} = \frac{2 \cdot (V_{out} + V_{f_SR})}{V_{bulk_nom}} = \frac{2 \cdot (12 + 0.2)}{395} = 0.0618 \quad (\text{eq. 28})$$

$$G_{max} = \frac{2 \cdot (V_{out} + V_{f_SR})}{V_{bulk_min}} = \frac{2 \cdot (12 + 0.2)}{350} = 0.0697 \quad (\text{eq. 29})$$

Where:

V_{f_SR} – is the expected average drop of the SR rectifier including the secondary layout drop

V_{bulk_max} – is the maximum operating bulk voltage

V_{bulk_nom} – is the nominal operating bulk voltage

V_{bulk_min} – is the minimum operating bulk voltage

The resonant tank characteristic impedance (Equation 30) and quality factor (Equation 31) affect the operating frequency range requirement for output voltage regulation.

$$Z_0 = \sqrt{\frac{L_s}{C_s}} \quad (\text{eq. 30})$$

Where:

L_s – is the resonant inductor value

C_s – is the resonant capacitor value

$$Q = \frac{n^2 \cdot R_{ac}}{Z_0} \quad (\text{eq. 31})$$

The lower the resonant capacitor value, the higher the resonant inductance needs to be in order to assure nominal operating frequency. A higher resonant inductance value generally results in a more narrow operating frequency range throughout the line and load conditions. It is always beneficial to keep a narrow operating frequency range to optimize efficiency and EMI performance

Based on the above considerations, it is evident that the resonant tank with minimized resonant capacitance provides optimum performance. However, the resonant capacitor voltage can reach unacceptable levels if the resonant capacitance value is too low. It is beneficial to limit the resonant capacitor voltage excursion to a level that is below nominal bulk voltage level. There are three main reasons for this consideration:

1st the lower voltage ratings for the resonant capacitor

2nd less voltage stress for the PCB

3rd simple OCP circuitry can be implemented using clamping diodes (D6 and D9 options in demoboard PCB).

The nominal resonant capacitor RMS current can be approximated using Equation 32.

$$\begin{aligned} I_{Cs_RMS_nom} &\approx I_{sec_RMS_nom} \cdot G_{nom} \approx \\ &\approx \frac{\pi}{2 \cdot \sqrt{2}} \cdot I_{out_nom} \cdot G_{nom} \approx \\ &\approx \frac{\pi}{2 \cdot \sqrt{2}} \cdot 20 \cdot 0.062 \approx 1.38 \text{ A} \end{aligned} \quad (\text{eq. 32})$$

Where:

I_{out_nom} – is the nominal output current

The above calculation does not include magnetizing current because it has only a minor impact. The resonant capacitor capacitance can now be calculated based on the selected capacitor peak voltage (Equation 33).

$$\begin{aligned} C_s &= \frac{I_{Cs_RMS_nom} \cdot \sqrt{2}}{2 \cdot \pi \cdot f_{op_nom} \cdot \left(V_{Cs_peak_nom} - \frac{V_{bulk_nom}}{2} \right)} = \\ &= \frac{1.38 \cdot \sqrt{2}}{2 \cdot \pi \cdot 80 \cdot 10^3 \cdot \left(320 - \frac{395}{2} \right)} = 31.6 \text{ nF} \end{aligned} \quad (\text{eq. 33})$$

Where:

$V_{Cs_peak_nom}$ – is the resonant capacitor peak voltage under nominal load and bulk voltage conditions

Practically there are two possible choices for implementing the resonant capacitor:

- a) one resonant capacitor of 33 nF
- b) two resonant capacitors of 15 nF

Variant b) has been selected for this design i.e. two 15 nF capacitors (C_7 and C_{18} in Figure 6). The advantage of this solution is that the primary current divides equally between two capacitors and the bulk capacitor ripple current is reduced by 30%.

The resonant inductance value can be calculated from the selected nominal operating frequency using rearranged Thompson law (Equation 34). A nominal operating frequency of 80 kHz was selected for this application.

$$L_s = \frac{1}{C_s \cdot (2 \cdot \pi \cdot f_s)^2} = \frac{1}{30 \cdot 10^{-9} \cdot (2 \cdot \pi \cdot 80 \cdot 10^3)^2} = 131.9 \mu\text{H} \approx 130 \mu\text{H} \quad (\text{eq. 34})$$

Where:

f_s – is the series resonant frequency ($f_s = f_{op_nom}$ in our case)

The magnetizing inductance of the future transformer should be selected with respect to the LLC stage operating frequency range. The operating frequency range is reduced when a high magnetizing inductance value is used. On the other hand, the maximum gain of the LLC stage is reduced and the magnetizing current is not sufficient to overcharge the total bridge capacitance and maintain a ZVS condition when the magnetizing inductance value is too high. The maximum magnetizing inductance value that will still assure ZVS during no load conditions can be calculated based on the selected deadtime period, maximum operating frequency and total bridge capacitance (Equation 35). The bridge capacitance is composed of the primary MOSFETs output capacitances and the primary layout parasitic capacitance.

$$L_{m_max} = \frac{DT}{8 \cdot f_{op_max} \cdot C_{HB_total}} = \frac{350 \cdot 10^{-9}}{8 \cdot 110 \cdot 10^3 \cdot 360 \cdot 10^{-12}} = 1.1 \text{ mH} \quad (\text{eq. 35})$$

Where:

DT – is the selected deadtime period (350 ns for this design)

f_{op_max} – is the maximum operating frequency

C_{HB_total} – is the total bridge parasitic capacitance ($2 \cdot C_{oss} + C_{layout}$)

The primary RMS current increases if too low of magnetizing inductance value is used. Increased RMS

current results in higher losses generated in the transformer and primary MOSFETs. The magnetizing to resonant inductance ratio of $k = L_m / L_s = 5.5$ has been chosen for this design as a compromise between losses generation and LLC stage operating frequency range. Magnetizing inductance can be calculated using Equation 36.

$$L_m = k \cdot L_s = 5.5 \cdot 130 \cdot 10^{-6} = 715 \mu\text{H} \quad (\text{eq. 36})$$

Where:

k – is the ratio between magnetizing and resonant inductance

All of the above calculations have been performed with the expectation that the application will operate at the series resonant frequency for nominal load (20 A) and bulk voltage (395 Vdc). The nominal gain of an LLC converter, that features external resonant inductance L_s , a transformer with negligible leakage inductance ($L_{lk} \rightarrow 0$), and primary inductance $L_{primary} = L_m$, is equal to the inverse of the transformer turns ratio when operated at series resonant frequency (Equation 37).

$$G_{nom} = \frac{1}{n_{discrete}} = \sqrt{\frac{L_{secondary}}{L_{primary}}} = \frac{2 \cdot (V_{out} + V_f)}{V_{bulk_nom}} = \frac{2 \cdot (12 + 0.2)}{395} = 0.0618 \quad (\text{eq. 37})$$

Where:

$L_{primary}$ – is the primary inductance measured with secondary winding opened

$L_{secondary}$ – is the secondary inductance measured with primary winding opened

$n_{discrete}$ – is the transformer turns ratio for the LLC design with external resonant coil

Required secondary inductance can then be calculated using Equation 38.

$$L_{secondary} = L_{primary} \cdot G_{nom}^2 = 715 \cdot 10^{-6} \cdot 0.0618^2 = 2.73 \mu\text{H} \quad (\text{eq. 38})$$

A simulation model can be built to verify the full load gain characteristic of the proposed LLC design with external resonant inductor (Figure 12). A transformer with high coupling coefficient is expected => coupling $\rightarrow 1$.

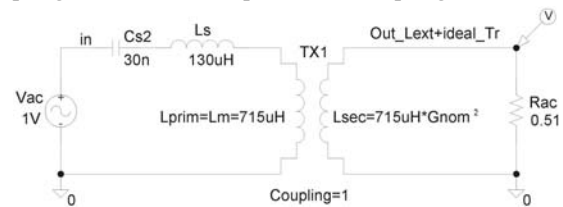


Figure 12. Simulation Model for the LLC Stage with External Resonant Inductance

AND8460/D

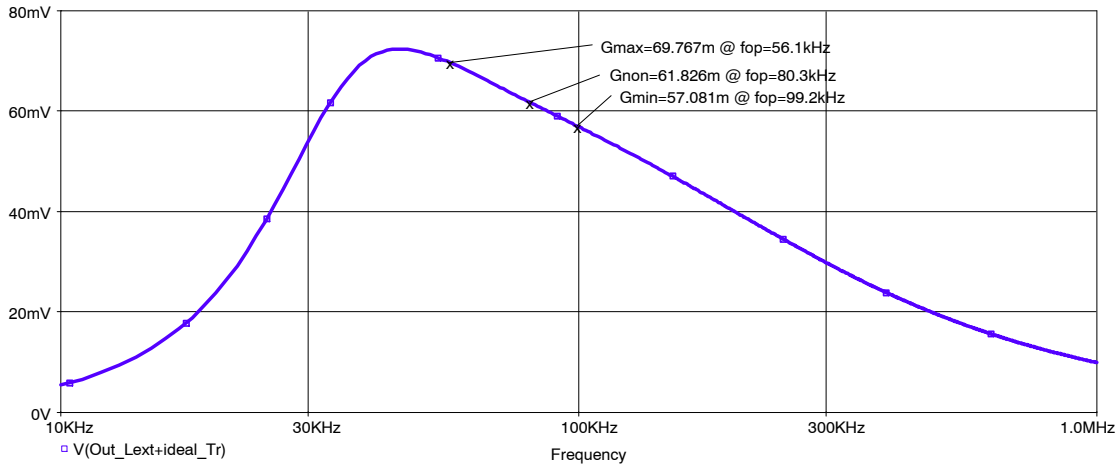


Figure 13. Simulated Gain Characteristic for the LLC Stage Design with External Resonant Inductance, Full Load Conditions

The simulated full load gain characteristic in Figure 13 shows that the proposed design will work in series resonant frequency for full load and nominal bulk voltage conditions.

The difference between the LLC design with external resonant inductance and the design that uses a transformer with high leakage inductance can be determined with simulations. The integrated resonant tank gain differs from the inversed transformer turns ratio when operated in series resonant frequency. This phenomenon is related to the fact that the leakage inductance is physically not located in series with the primary winding like in the external resonant coil

solution. The gain of the LLC design with integrated resonant tank, that uses transformer with primary inductance $L_{primary} = L_m$, leakage inductance $L_{lk_primary} = L_s$ and secondary to primary turns ratio n_{disc} , is thus higher than the inversed turns ratio for the discrete solution when operated at series resonant frequency (Equation 39).

$$G_{nom_integrated} > \frac{1}{n_{discrete}} \quad (\text{eq. 39})$$

Figure 14 shows the simulated gain characteristics comparison for both solutions.

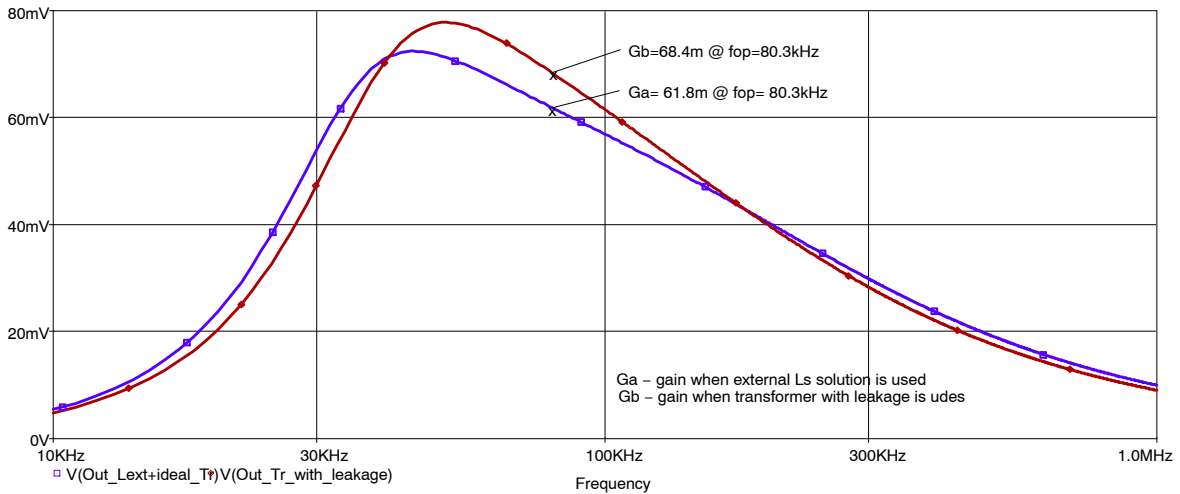


Figure 14. Simulated Gain Characteristics – Comparison Between Resonant Tanks with External Resonant Inductance and with Leakage Resonant Inductance. Both Designs Feature the Same Secondary to Primary Transformer Ratio $n_{discrete}$.

The primary to secondary turns ratio has to be increased by coupling coefficient to assure the same nominal gains at series resonant frequency for both LLC resonant tank solutions. The new turns ratio of the design with integrated leakage inductance is defined by Equation 40.

$$n_{integrated} = \frac{n_{discrete}}{\sqrt{1 - \frac{L_s}{L_m}}} = \frac{16.18}{\sqrt{1 - \frac{130}{715}}} = 17.88 \quad (\text{eq. 40})$$

Where:

$L_s = L_{lk_primary}$ – is the primary inductance measured with secondary winding shorted

$L_m = L_{primary}$ – is the primary inductance measured with secondary winding opened

A SPICE model of the modified integrated resonant tank can be seen in Figure 15.

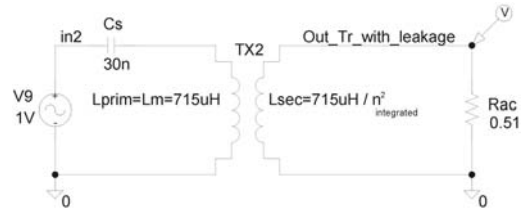


Figure 15. Simulation Model of the LLC Stage with Integrated Resonant Tank and Modified Turns Ratio
 $n_{integrated}$

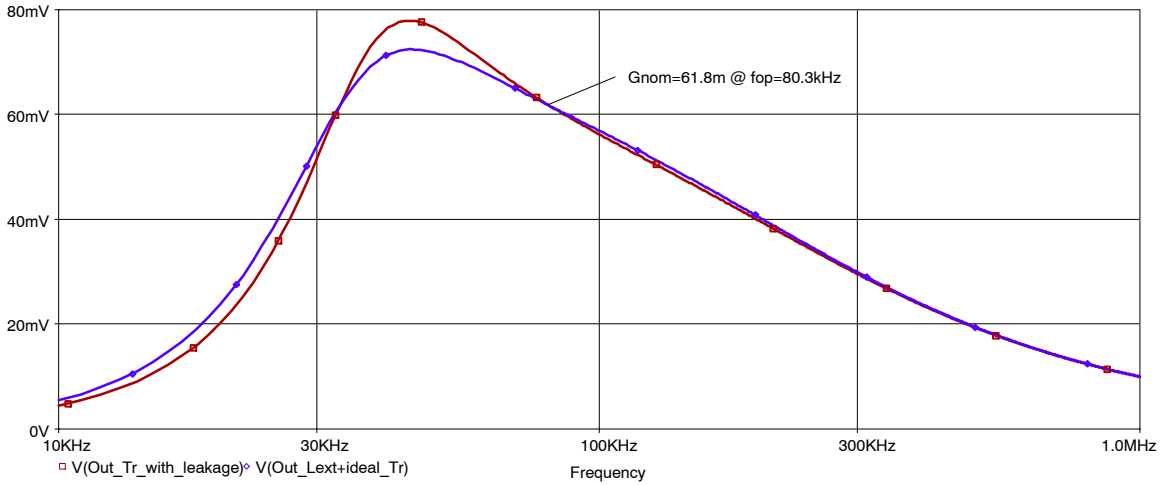


Figure 16. Simulated Characteristics – Comparison Between Resonant Tanks with External Resonant Inductance and with Leakage Resonant Inductance and Modified Turns Ratio.

Simulation results from Figure 16 show that the nominal gains for both solutions are the same when the operating frequency is equal to the resonant frequency. The modified integrated resonant tank solution also provides higher gain below series resonant frequency. This is beneficial as the operating frequency range will be reduced compared to the LLC design with external resonant coil.

The calculated resonant tank components are as follows:

Resonant capacitor: $C_s = 2 \times 15 \text{ nF}$

Transformer with divided bobbin:

$$L_{primary} = 715 \mu\text{H}$$

$$L_{secondary} = L_{primary} / n_{integrated}^2 = 2.23 \mu\text{H}$$

$$L_{lk_primary} = 130 \mu\text{H} \text{ when secondary winding is shorted}$$

The transient simulation results for the proposed LLC resonant tank design are shown in Figure 17. Bulk voltage of 395 Vdc and output load of 20 A have been applied during this simulation. The results show that the output voltage is regulated to the target level i.e. 12 Vdc when the application works at a frequency of 80.3 kHz, which meets the target resonant frequency (80 kHz).

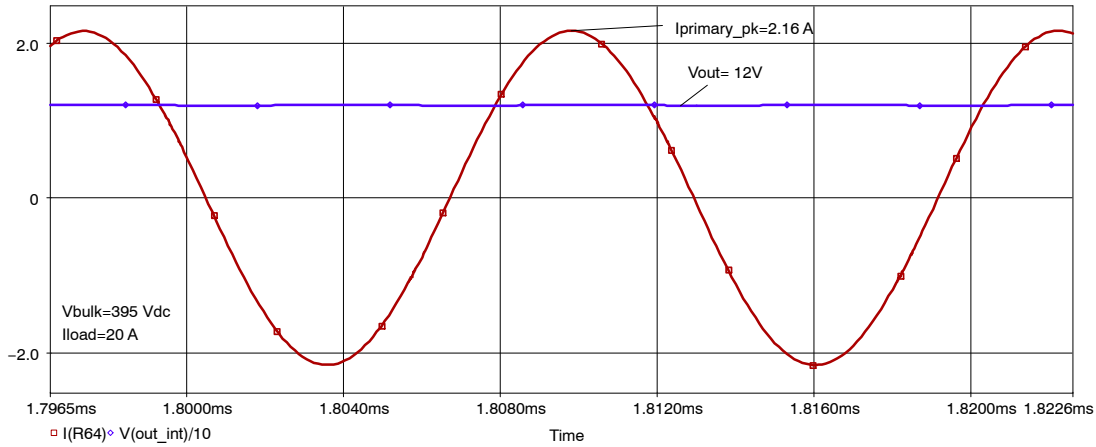


Figure 17. Transient Simulation for Proposed Resonant Tank Design

Количество витков первичной обмотки необходимо рассчитать с учетом отклонения магнитной индукции трансформатора. Максимальная плотность потока будет достигнута при минимальной рабочей частоте и максимальном объемном напряжении (уравнение 41).

$$N_p = \frac{V_{bulk-max}}{8 \cdot \Delta B_{max} \cdot f_{SWmin} \cdot A_e} = \frac{420}{8 \cdot 0.125 \cdot 67 \cdot 10^3 \cdot 167 \cdot 10^{-6}} \approx 38 \text{ turns} \quad (\text{eq. 41})$$

Где:

B_{max} – выбранная пиковая плотность потока

f_{sw_min} – минимальная рабочая частота

A_e – эффективная площадь поперечного сечения центральной ветви ферритового сердечника

Для регулировки индуктивности первичной обмотки необходимо использовать ферритовый сердечник с воздушным зазором на центральной ножке. В воздушном зазоре хранится большая часть энергии намагничивания, связанной с первичной обмоткой. Таким образом, целесообразно разместить воздушный зазор ниже первичной обмотки, чтобы минимизировать дополнительный паразитный поток и уменьшить эффект близости.

Положение воздушного зазора внутри бобины влияет на значения первичной и вторичной индуктивности. Как правило, индуктивность катушки индуктивности с ферритовым сердечником с зазором ниже, когда зазор расположен под обмоткой катушки, а не за ее пределами. Разница между обоими случаями связана с выходом магнитного потока из зазора и катушки. Когда воздушный зазор не расположен под обмоткой катушки, будет более высокий паразитный поток - см. Рисунок 18.

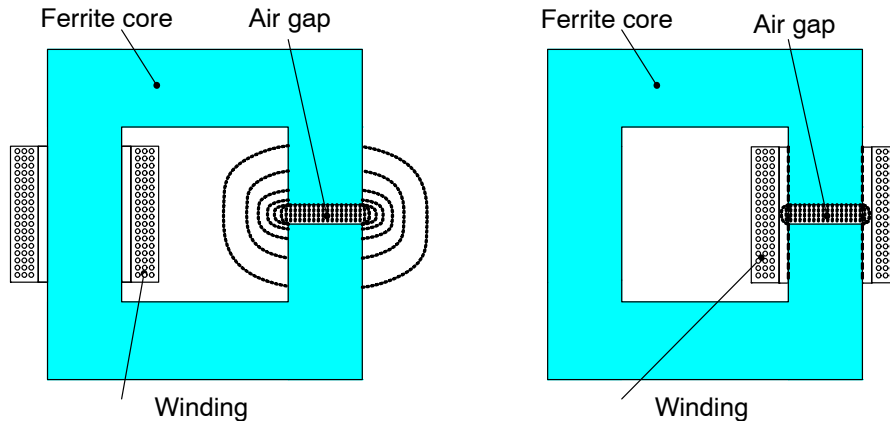


Figure 18. Зависимость индуктивности индуктора и паразитного потока от положения воздушного зазора

Аналогичная ситуация имеет место в трансформаторе с разделенной катушкой и воздушным зазором, расположенным под первичной обмоткой - рисунок 19.

Ферритовый сердечник только один, но он не обладает одинаковой магнитной проводимостью (постоянством) для первичной и вторичной обмоток! Это связано с тем, что воздушный зазор экранирован только первичной обмоткой. Таким образом, магнитная проводимость первичной обмотки ниже, чем магнитная проводимость вторичной обмотки (уравнения 42-44).

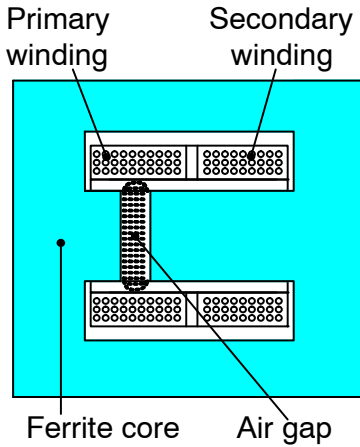


Figure 19. Transformer with Divided Bobbin and Air Gap Below Primary Winding

$$\Lambda_{\text{primary}} = \frac{L_{\text{primary}}}{N_p^2} \quad (\text{eq. 42})$$

$$\Lambda_{\text{secondary}} = \frac{L_{\text{secondary}}}{N_s^2} \quad (\text{eq. 43})$$

$$\Lambda_{\text{primary}} = \Lambda_{\text{secondary}} \quad (\text{eq. 44})$$

Из-за этой неоднородности сердечника коэффициент физического витка (N) не равен коэффициенту электрических витков (n), который задается индуктивностями первичной и вторичной обмоток (уравнение 45).

$$\frac{N_p}{N_s} \neq \sqrt{\frac{L_{\text{primary}}}{L_{\text{secondary}}}} \quad (\text{eq. 45})$$

Where:

N_p – число витков первичной обмотки

N_s – число витков вторичной обмотки

Число витков вторичной обмотки можно рассчитать на основе магнитной проводимости вторичной обмотки и требуемой вторичной индуктивности (уравнение 46).

$$\begin{aligned} I_{\text{primary_RMS_nom}} &= \\ &= \sqrt{\frac{1}{8} \cdot \left(I_{\text{out_nom}}^2 \cdot \pi^2 \cdot G_{\text{nom}}^2 + \frac{V_{\text{bulk_nom}}^2}{24 \cdot L_m^2 \cdot f_{\text{op_nom}}^2} \right)} = \quad (\text{eq. 48}) \\ &= \sqrt{\frac{1}{8} \cdot \left(20^2 \cdot \pi^2 \cdot 0.0618^2 + \frac{395^2}{24 \cdot (715 \cdot 10^{-6})^2 \cdot (80 \cdot 10^3)^2} \right)} = 1.46 \text{ A} \end{aligned}$$

Среднеквадратичный ток вторичной обмотки для работы на резонансной частоте и при полной нагрузке такой же, как вторичный ток выпрямителя (уравнение 49).

$$I_{\text{sec_RMS}} = I_{\text{out_nom}} \cdot \frac{\pi}{4} = 20 \cdot \frac{\pi}{4} = 15.7 \text{ A} \quad (\text{eq. 49})$$

$$N_s = \sqrt{\frac{L_{\text{secondary}}}{A_{L_secondary}}} \quad (\text{eq. 46})$$

Положение воздушного зазора также влияет на общую индуктивность рассеяния трансформатора, которую необходимо отрегулировать до необходимого значения.

Расчет первичной и вторичной магнитной проводимости и расчет полного паразитного потока трансформатора - непростая задача для трансформатора с разделенной катушкой. Необходимо использовать численные методы конечных элементов (МКЭ) с точно подготовленной моделью. Часто при проектировании прототипа трансформатора используется метод «пробовать и пробовать».

Наконец, вторичная обмотка, состоящая из двух витков ($N_s = 2$) медной ленты, была использована в этой конструкции трансформатора LLC для достижения требуемой вторичной индуктивности.

Вспомогательная обмотка используется для питания первичных контроллеров SMPS в нормальных условиях эксплуатации и без нагрузки. Вспомогательное напряжение 18 В необходимо использовать в номинальных условиях эксплуатации, чтобы обеспечить достаточный уровень VCC, когда плата не нагружена. Коэффициент связи между вспомогательной и вторичной обмотками должен быть как можно более высоким, чтобы обеспечить надлежащее регулирование вспомогательного напряжения. Таким образом, полезно располагать вспомогательную обмотку непосредственно над вторичными обмотками. Требования безопасности требуют использования провода с тройной изоляцией. Требуемое количество витков вспомогательной обмотки можно рассчитать с помощью уравнения 47.

$$N_{\text{aux}} = \frac{V_{\text{aux}} + V_{f_d\text{aux}}}{V_{\text{out}} + V_{f_SR}} \cdot N_s = \frac{18 + 0.7}{12 + 0.2} \cdot 2 = 3 \text{ turns} \quad (\text{eq. 47})$$

Where:

V_{aux} – целевое вспомогательное напряжение

$V_{f_d\text{aux}}$ – прямое падение напряжения на диоде, используемом во вспомогательном тракте VCC.

V_{f_SR} – прямое падение напряжения системы SR, включая пропадания в схеме.

Действующее значение тока первичной обмотки можно рассчитать с помощью уравнения 48.

Необходимо учитывать скин-эффект трансформатора LLC при проектировании обмоток на номинальную рабочую частоту. Глубину скин-слоя для медной проволоки можно рассчитать на основе уравнения 50.

$$\delta = \frac{65}{\sqrt{f_{\text{op_nom}}}} = \frac{65}{\sqrt{80 \cdot 10^3}} = 0.23 \text{ mm} \quad (\text{eq. 50})$$

Максимальный диаметр обмоточного провода, который будет эффективно использоваться переменным током, в этом случае в два раза превышает расчетную глубину скин-слоя, т.е. $\delta = 0,46$ мм. Нет смысла использовать провода большего диаметра в первичной или вторичной обмотке, потому что ток не может проникать в проводник глубже, чем до расчетной глубины скин-слоя.

Как упоминалось выше, эффект близости, вызванный расположением первичной и вторичной обмоток, является еще одним ограничением в трансформаторах с конструкцией разделенных катушек. На витки обмотки, расположенные ближе к противоположной обмотке на бобине, действует поле других витков обмотки, и они имеют самый сильный эффект близости. Анализ эффекта близости выходит за рамки данного примечания по применению - можно обратиться к ссылке 12 для получения дополнительной информации по этому вопросу.

После рассмотрения скин-эффекта и эффекта близости становится очевидным, что лучшим решением для конструкции обмотки является использование лицевого провода, состоящего из нескольких изолированных проводов диаметром менее 0,46 мм. Вторичная обмотка проводит более высокий среднеквадратичный ток по сравнению с первичной, поэтому целесообразно использовать полосковые медные провода вместо нескольких гибких проводов. Первичная обмотка выполнена тонким проводом 22x0,16. Вторичные обмотки состоят из медных полосовых проводов шириной 8 мм и толщиной 0,2 мм. Вспомогательная обмотка состоит из трех витков провода с тройной изоляцией диаметром $\varnothing = 0,25$ мм. Эта обмотка расположена непосредственно над вторичными обмотками, чтобы обеспечить хорошее соединение, как упомянуто выше.

Некоторые производители указывают индуктивность рассеяния при условии, что все вторичные обмотки закорочены. Этот подход не может быть применен для конструкции вторичной стороны с центральным отводом, потому что только одна обмотка из пары вносит резонанс в каждый полупериод периода переключения. На Рисунке 20 и Таблице 2 показано, как измерить индуктивности рассеяния трансформатора с отводом по центру вторичной обмотки.

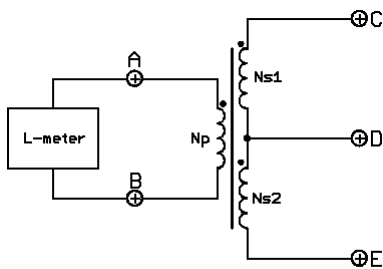


Figure 20. Измерение индуктивности утечки первичной обмотки трансформатора

Table 2. WINDINGS CONFIGURATIONS DURING MEASUREMENTS OF LEAKAGE INDUCTANCE

Parameter	Measured Between Pins	Secondary Pins Configuration
$L_{lk(p-s1)}$	A-B	C-D короткое замык D-E обрыв
$L_{lk(p-s2)}$	A-B	C-D обрыв D-E короткое замык
$L_{lk(total)}$	A-B	C-D короткое замык D-E короткое замык
$L_{primary}$	A-B	C-D обрыв D-E обрыв

Необходимо обеспечить хорошее согласование между индуктивностями рассеяния $L_{lk(p-s1)}$ и $L_{lk(p-s2)}$, иначе последовательная резонансная частота будет отличаться в каждом полупериоде переключения. В результате вторичный ток через каждую вторичную ветвь будет отличаться. Разница вторичного тока приведет к увеличению потерь и температуры в одной из вторичных ветвей.

На рисунке 21 показаны результаты моделирования для случая, когда дисбаланс индуктивностей рассеяния вторичных токов составляет 5%.

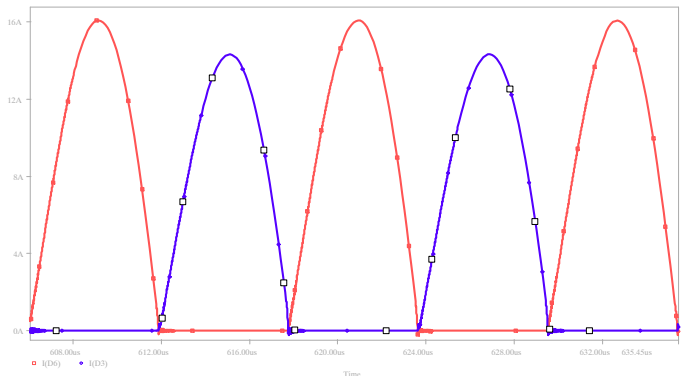


Figure 21. Смоделированные вторичные токи для приложений с дисбалансом индуктивностей первичной утечки 5%

Другими возможными источниками дисбаланса силового каскада LLC являются паразитные индуктивности вторичной схемы. Коэффициент трансформации первичной и вторичной обмоток трансформатора достаточно высок для приложения с выходным напряжением 12 В. При отражении в резонансную схему резервуара вторичные паразитные индуктивности умножаются на квадрат отношения витков трансформатора. Это означает, что даже очень небольшая асимметрия паразитной индуктивности вторичной схемы (например, 50 нГн) вызывает большую разницу в резонансных частотах для каждого полупериода переключения.

Таким образом, вторичная компоновка должна быть как можно более симметричной для достижения сбалансированной работы ступени LLC.

AND8460/D

The final transformer specification is summarized in below figures and tables.

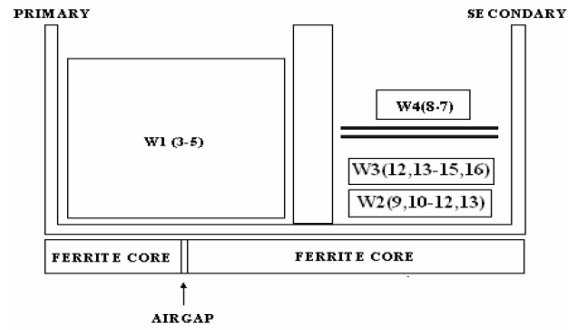


Figure 22. The Transformer Windings Arrangement Within the Bobbin

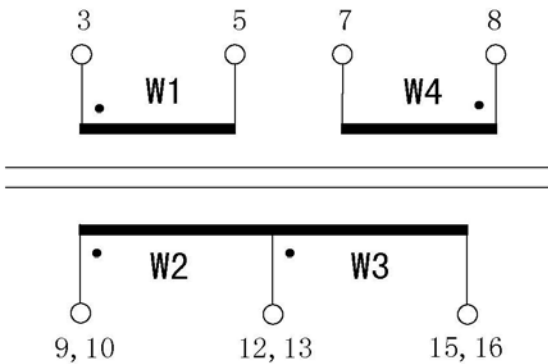


Figure 23. Transformer Windings Pinout

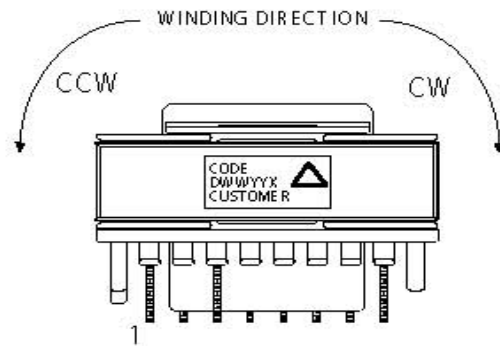


Figure 24. Transformer Winding Directions

Table 3. TRANSFORMER PRIMARY INDUCTANCE SPECIFICATION

Primary Inductance			L_p (μH)	Tolerance	R ($\text{m}\Omega$)	Tolerance
Between Pins	3	5	715	$\pm 10\%$	101	$\pm 15\%$

Table 4. TRANSFORMER LEAKAGE INDUCTANCES SPECIFICATION

Primary Inductance			L_{LK} (μH)	Tolerance	Shorted Pins
Between Pins	3	5	130.5	$\pm 7\%$	9-10-12-13
Between Pins	3	5	131.8		12-13-15-16
Between Pins	3	5	126.8		9-10-12-13-15-16

Table 5. TRANSFORMER WINDINGS SPECIFICATION

Winding #	Pin #		Turns and Gauge		Layers (Turns)	Winding Method	Insulation Tape	
	Start	Finish	Turns	Wire Gauge			Turns	Thickness Width
W1	3	5	38	UEW+NY LIT Z 0.160x22# Grade 2 (NEMA MW80C/IEC 317-21) Thermal Class 155°C	5 (9 + 9 + 9 + 9 + 2)	CW Closed		
W2	9, 10	12, 13	2	Cu Foil W = 8 mm T = 0.2 mm	2	CCW	2	2 mils 9 mm
W3	12, 13	15, 16	2	Cu Foil W = 8 mm T = 0.2 mm				
W4	8	7	3	TIW 0.250 Thermal Class B	1	CW Closed		

PCB Design

The PCB layout of the LLC stage primary side is not very critical because switching of the main MOSFETs happens only under ZVS conditions and the influence of the PCB parasitic inductances on the operating frequency is negligible. The LLC stage secondary side layout is very critical especially in applications with low output voltages.

It is recommended that both paths from the secondary windings to the filtering capacitor bank should be made with the same length. A difference in parasitic inductance between paths results in a different resonant frequency for each half of the switching period. As the secondary RMS current is high, the parasitic resistance of the secondary layout should be minimized. This SMPS is designed on a two layer PCB with 70 µm copper plating.

Results

Please follow the steps detailed in the test procedure for the NCP4303 demo/evaluation board if testing the demoboard performance. Below measurements are shown for further information on how this design operates in practice.

Thanks

I would like to thank the below companies for providing the samples used in this demoboard.

- Epcos – <http://www.epcos.com>
- Koshin – <http://www.koshin.com.hk>
- Pulse – <http://www.pulseeng.com>
- Würth – <http://www.we-online.com>
- Coilcraft – <http://www.coilcraft.com>

Conclusion

This demoboard shows only one of many possible implementations of the NCP4303A/B synchronous

rectification controller and is not intended as a final design for end customers. The main goal of this document is to introduce a typical application and illustrate how the various features help to decrease total cost and increase SMPS efficiency. Optional features are included in the PCB layout, thus it is easy to update the application according to specific requests.

References:

1. NCP4303 data sheet
2. NCP1605 data sheet
3. NCP1397 data sheet
4. Application note AND8257/D
5. Application note AND8327/D
6. Application note AND8281/D
7. Bo Yang – Topology Investigation for Front-End DC-DC Power Conversion for Distributed Power System
8. M. B. Borage, S. R. Tiwari and S. Kotaiah – Design Optimization for an LCL – Type Series Resonant Converter
9. Dr. Ray Ridley – <http://www.ridleyengineering.com/snubber.htm>
10. ON Semiconductor documentation TND399/D – 216 W All in One SMPS Reference Design
11. M. Jovanovic, “Principle of Resonant Power Conversion”, in-house seminar, Toulouse 2004.
12. Xi Nan, C. R. Sullivan – An Improved Calculation of Proximity-Effect Loss in High-Frequency Windings of Round Conductor

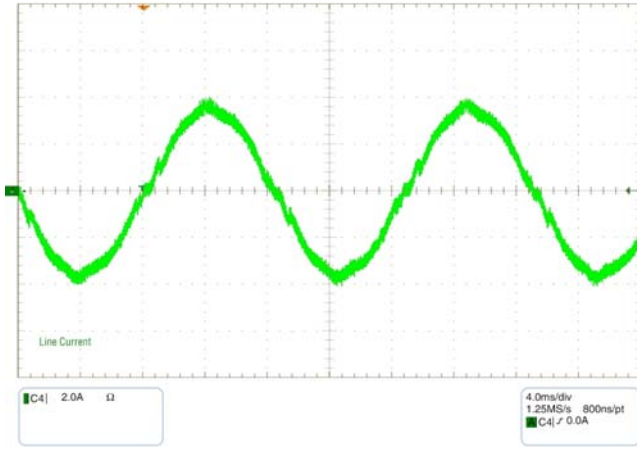


Figure 25. Application Input Current Measured for 110 V_{AC} / 60 Hz Input and Full Load Conditions

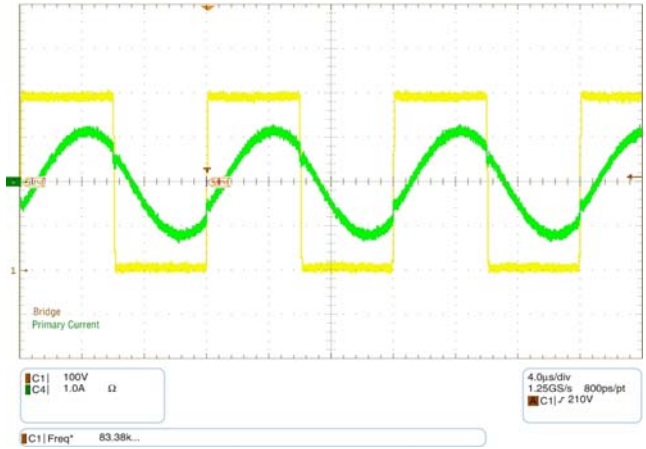


Figure 28. LLC Primary Current and Bridge Voltage for I_{load} = 10 A

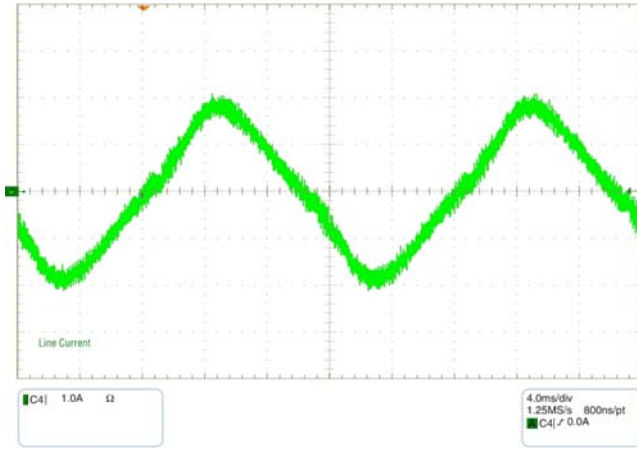


Figure 26. Application Input Current Measured for 230 V_{AC} / 50 Hz Input and Full Load Conditions

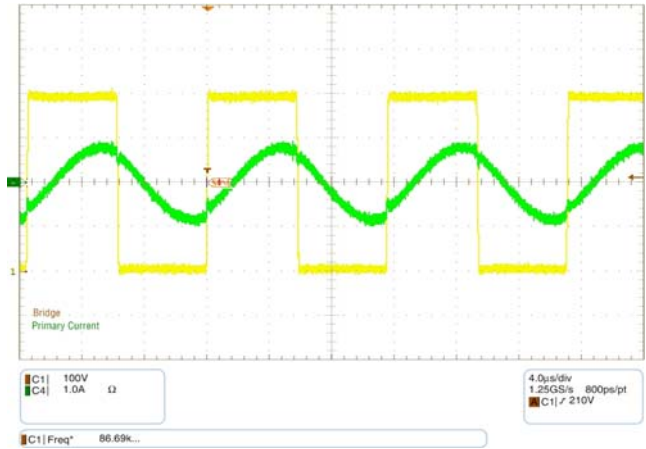


Figure 29. LLC Primary Current and Bridge Voltage for I_{load} = 5 A

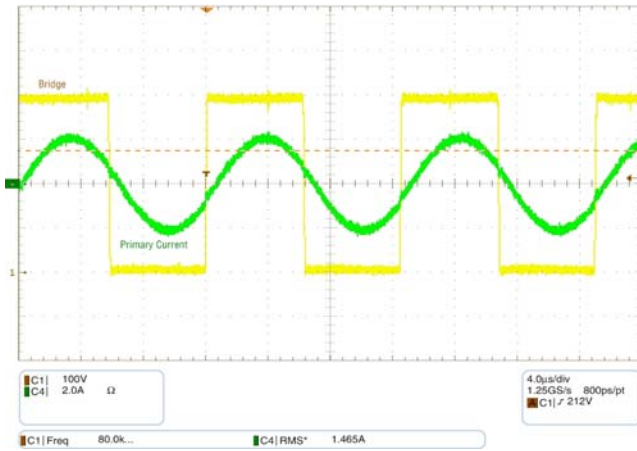


Figure 27. LLC Primary Current and Bridge Voltage for I_{load} = 20 A



Figure 30. LLC Primary Current and Bridge Voltage for I_{load} = 2.5 A

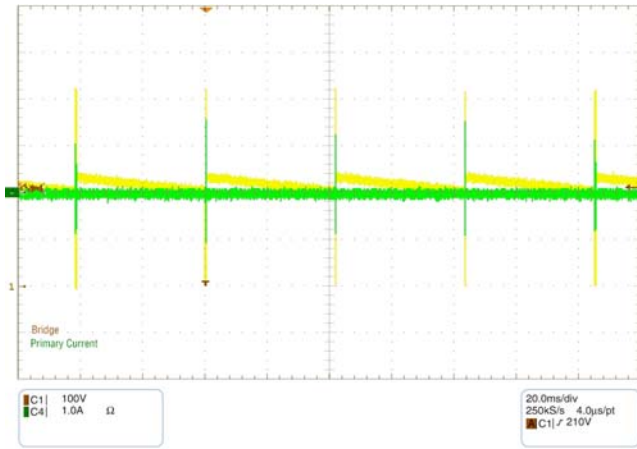


Figure 31. LLC Primary Current and Bridge Voltage for $I_{load} = 0$ A, SR is Operating

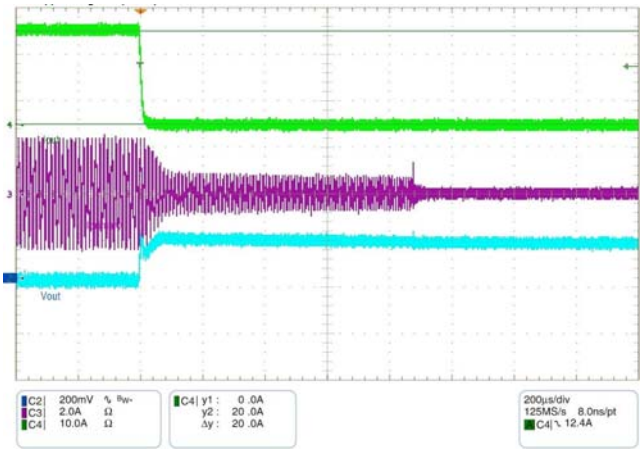


Figure 34. SMPS Response to Transient Loading 20 A to 0 A, 1.6 A/μs

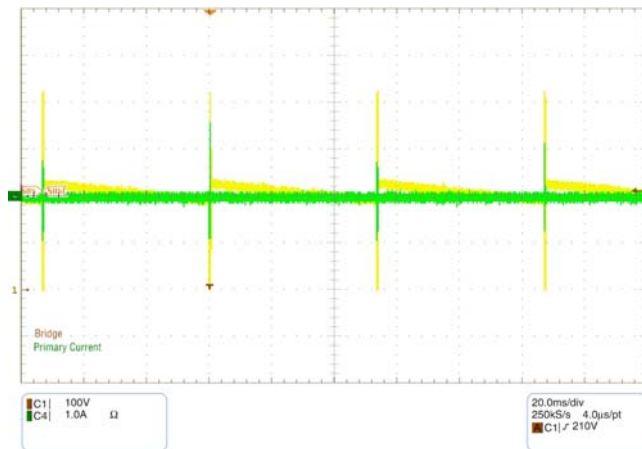


Figure 32. LLC Primary Current and Bridge Voltage for $I_{load} = 0$ A, SR is Not Operating

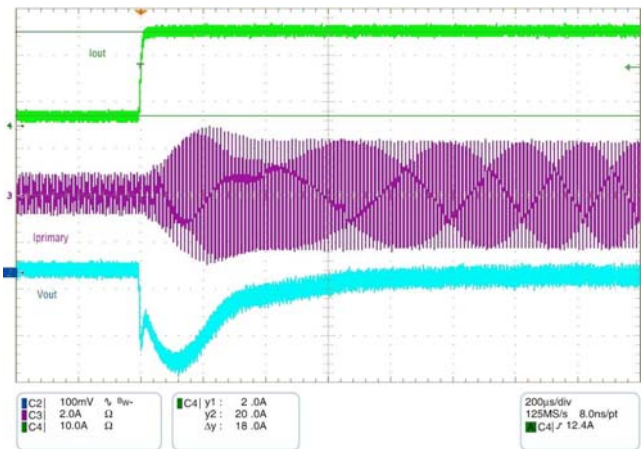


Figure 35. SMPS response to Transient Loading 2 A to 20 A, 1.6 A/μs

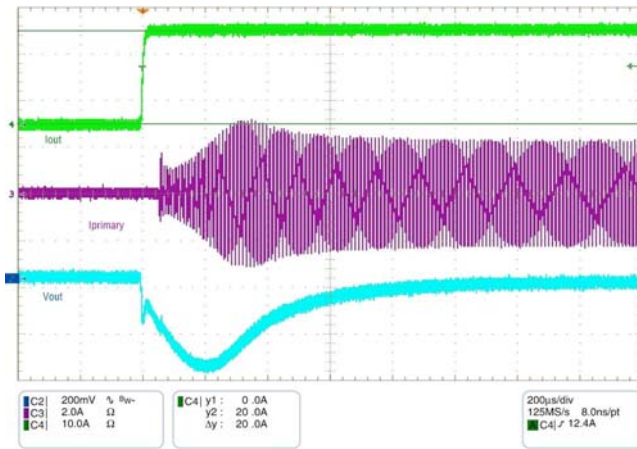


Figure 33. SMPS Response to Transient Loading 0 A to 20 A, 1.6 A/μs

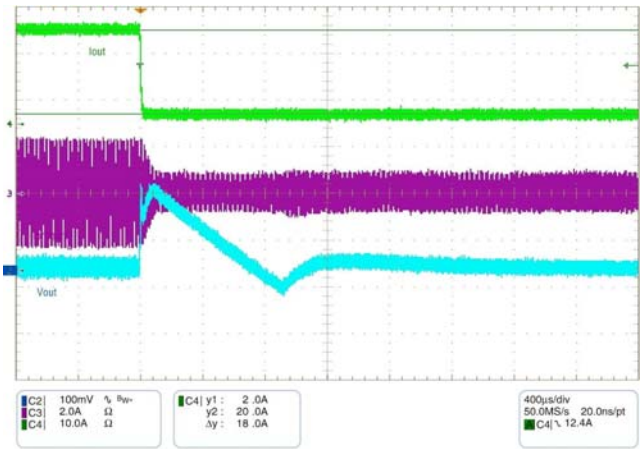


Figure 36. SMPS Response to Transient Loading 20 A to 2 A, 1.6 A/μs

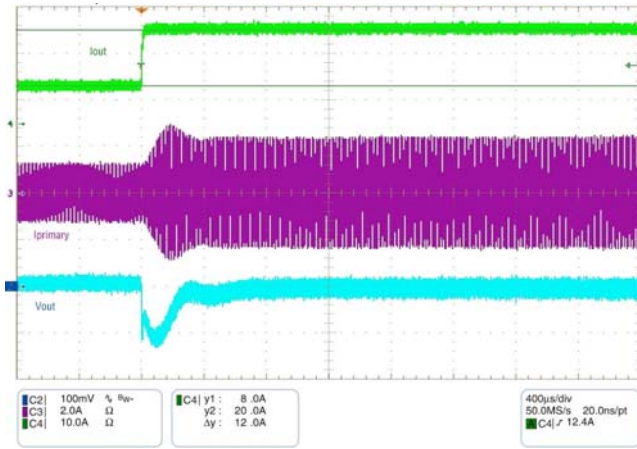


Figure 37. SMPS Response to Transient Loading
8 A to 20 A, 1.6 A/μs

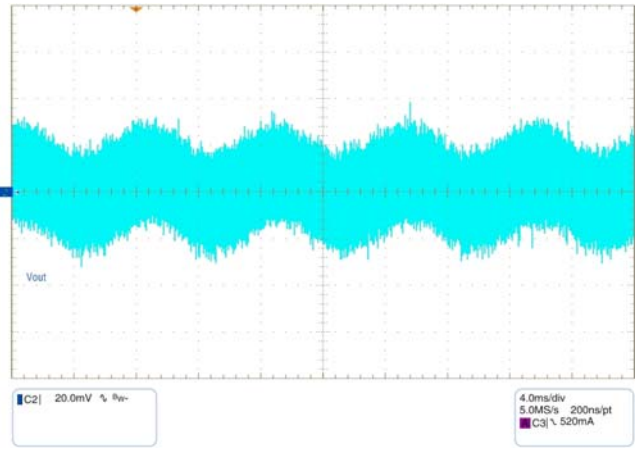


Figure 40. Bulk Voltage Ripple Image in the Output
Voltage Under Full Load Conditions, 110 Vac/60 Hz

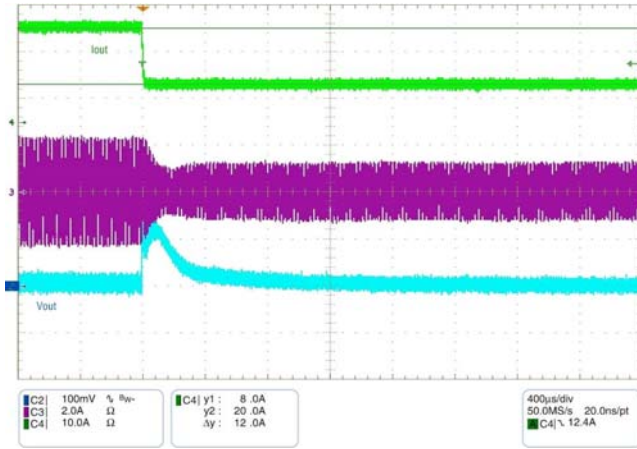


Figure 38. SMPS Response to Transient Loading
20 A to 8 A, 1.6 A/μs

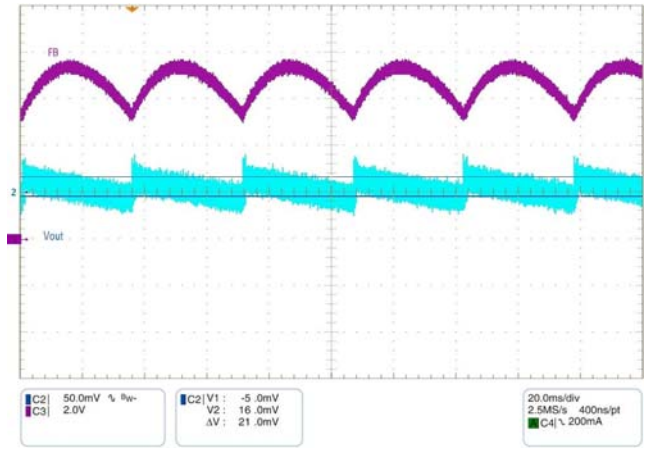


Figure 41. Output Voltage Ripple During No Load
Conditions – SR is Turned Off

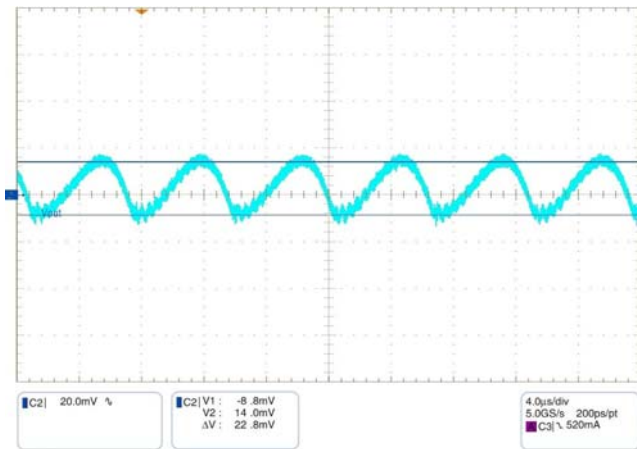


Figure 39. Output Voltage Ripple Under Full Load
Conditions

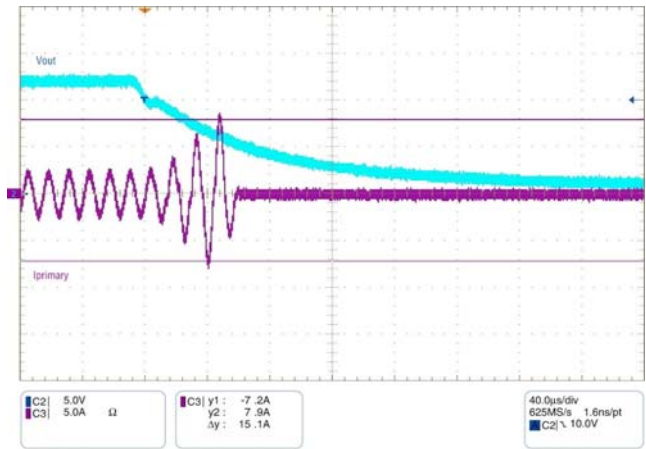


Figure 42. Transition From Full Load to Output
Short-Circuit

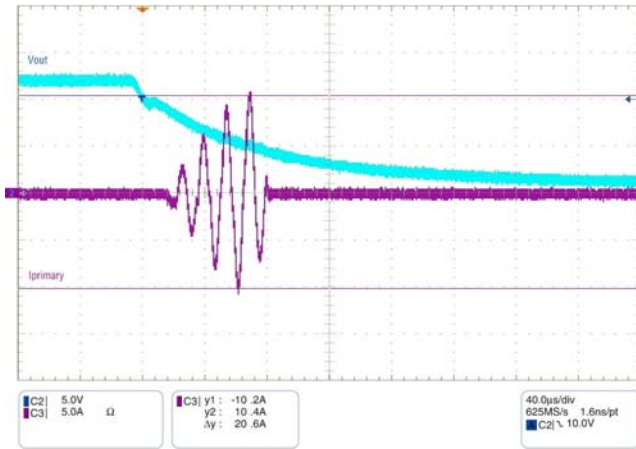


Figure 43. Transition From No Load Operation to Output Short-Circuit

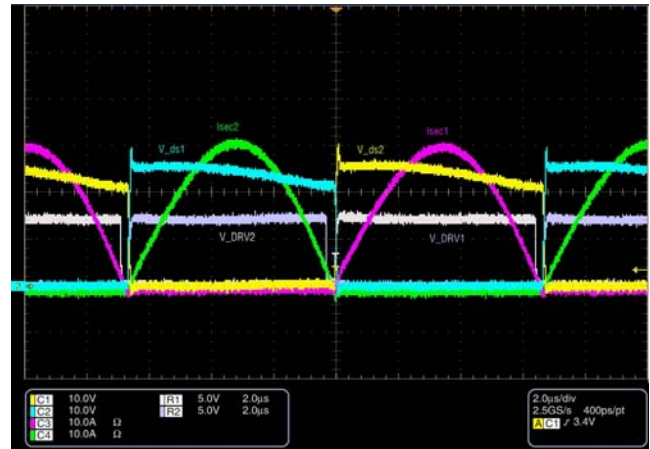


Figure 46. Secondary Side Currents, SR Gate and V_{ds} signals for $I_{out} = 20\text{ A}$, IRFB3206

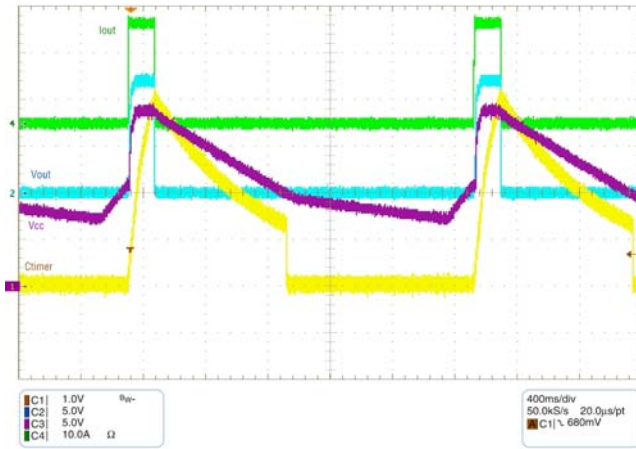


Figure 44. SMPS Operation Under Overload Conditions, Restart Time Given by V_{CC} Restart

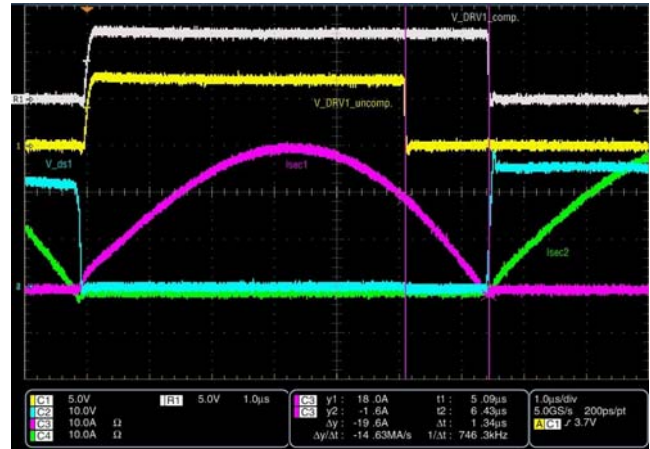


Figure 47. Secondary SR Gate Signals Comparison for Compensated and Uncompensated SR System $I_{out} = 20\text{ A}$, IRFB3206

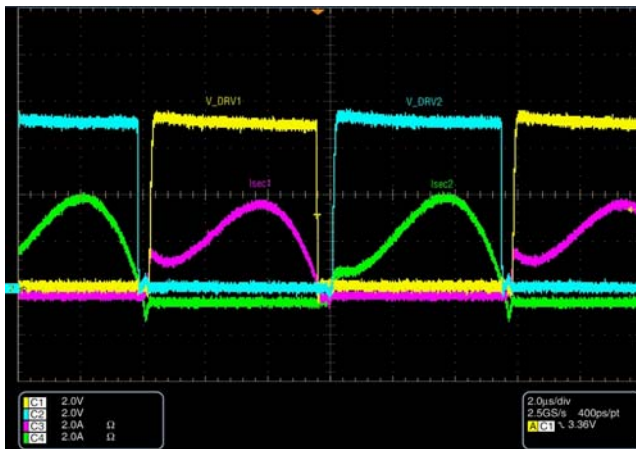


Figure 45. Secondary Side Currents and SR Gate Drive Signals for $I_{out} = 2.5\text{ A}$, IRFB3206

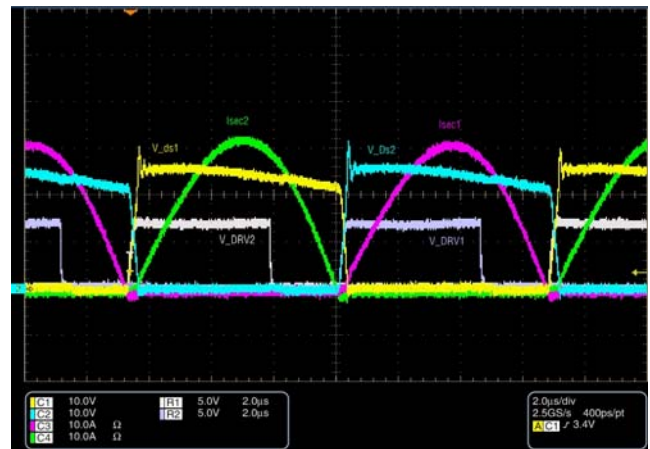


Figure 48. Secondary Side Currents, SR Gate and V_{ds} Signals for $I_{out} = 20\text{ A}$, IPP015N04N – Uncompensated

AND8460/D

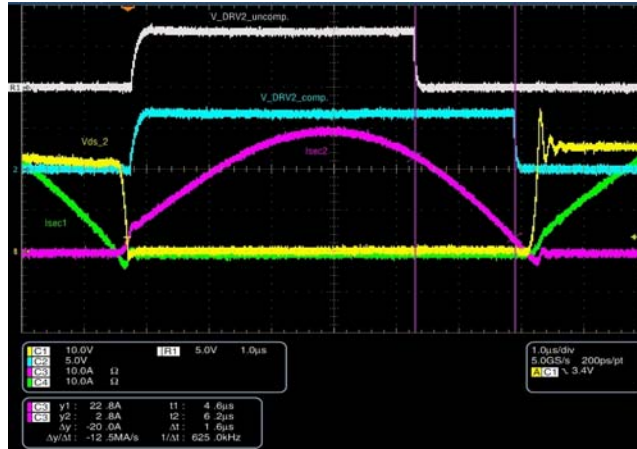


Figure 49. Secondary Side Currents, SR Gate and V_{ds} Signals for $I_{out} = 20\text{ A}$, IPP015N04N – Compensated

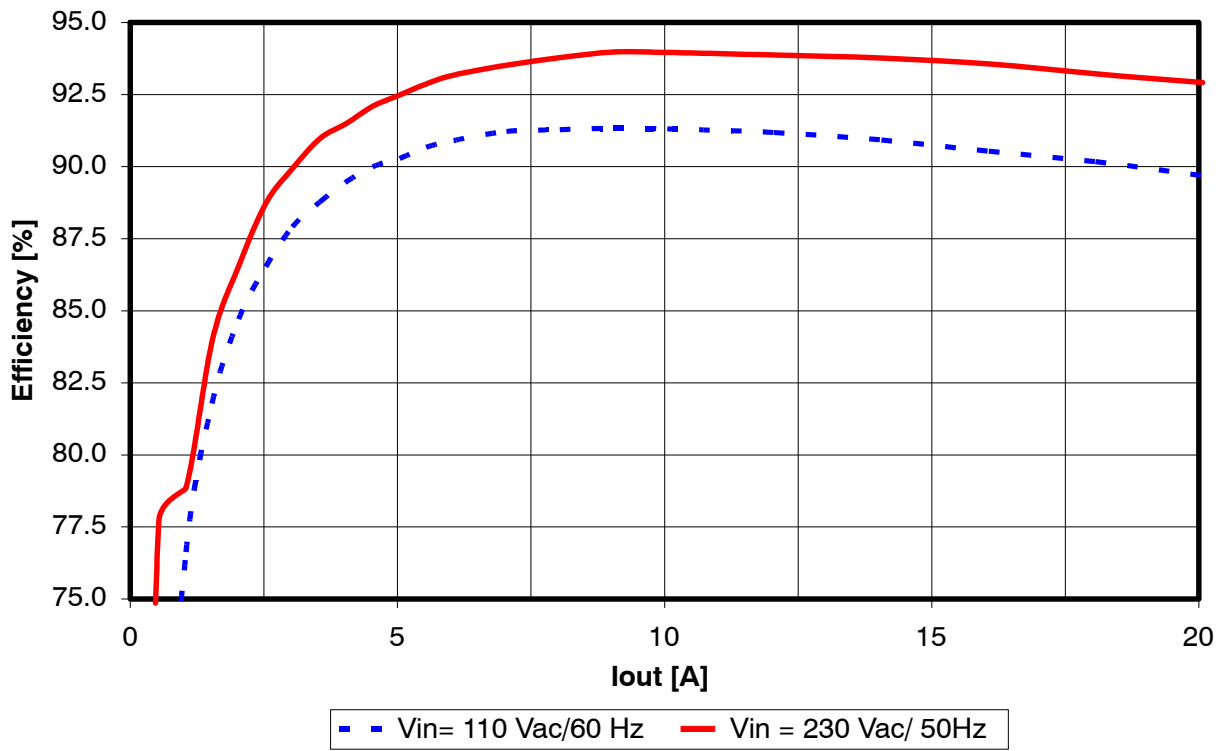


Figure 50. Demoboard Efficiency versus Output Current for Compensated SR System and IRFB3206 SR MOSFETs

AND8460/D

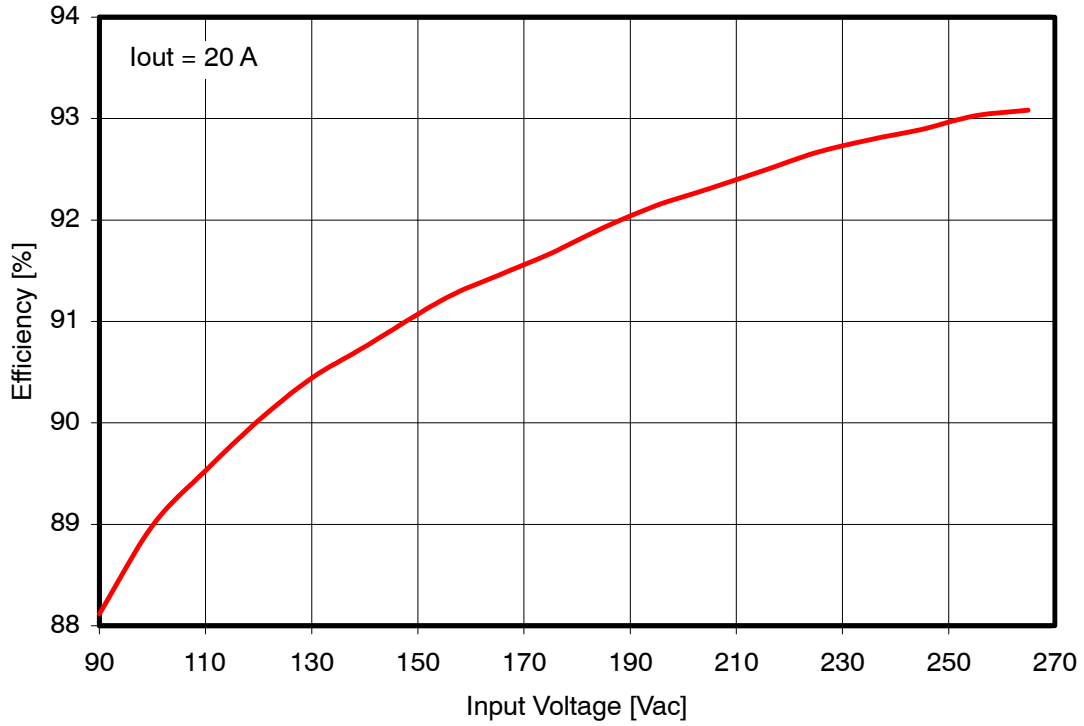


Figure 51. Demoboard Full Load Efficiency versus Input Voltage for Compensated SR System and IRFB3206 SR MOSFETs

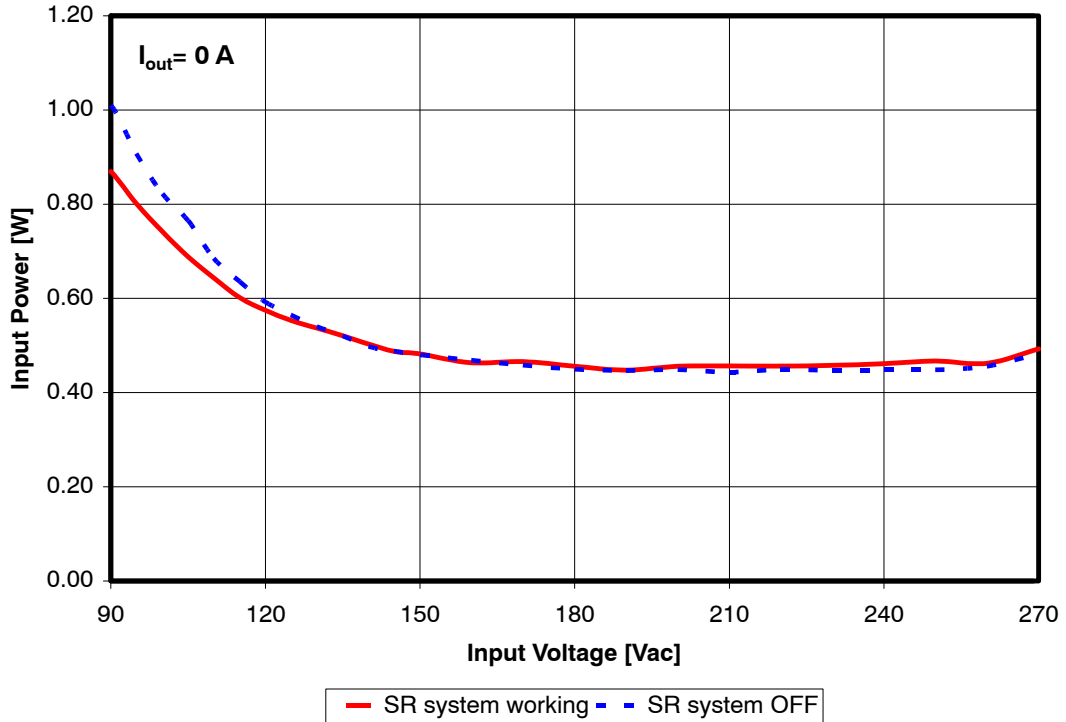


Figure 52. Demoboard No Load Consumption for SR System Working and Turned Off

AND8460/D

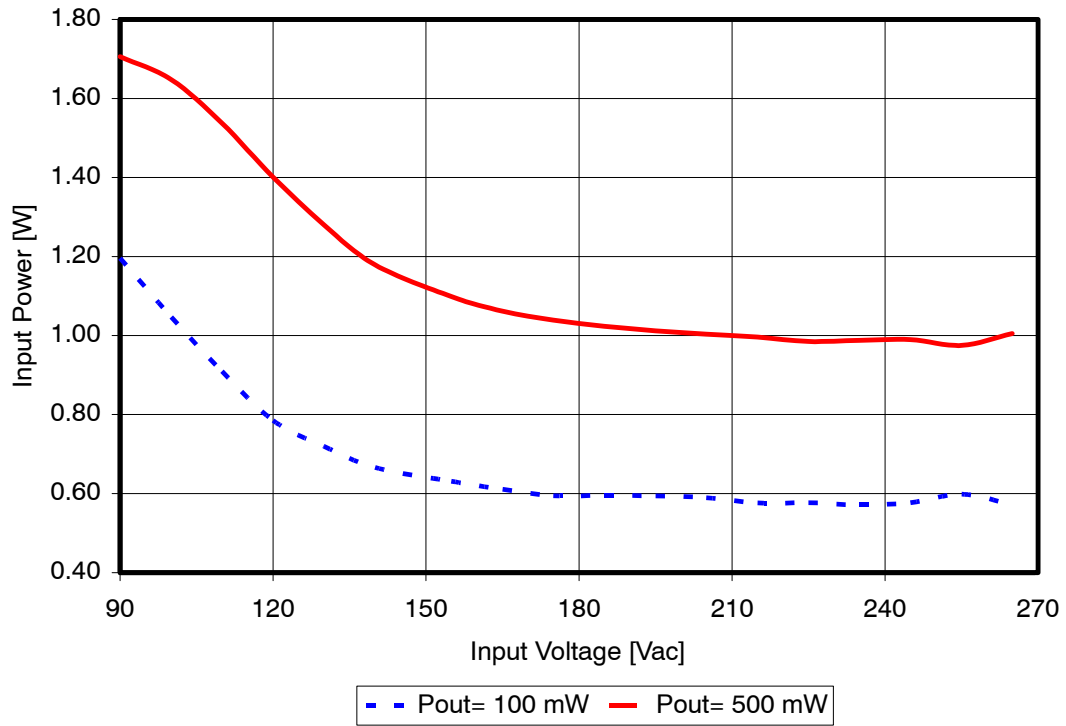


Figure 53. Demoboard Consumption for 100 mW and 500 mW Loads (SR System Working)

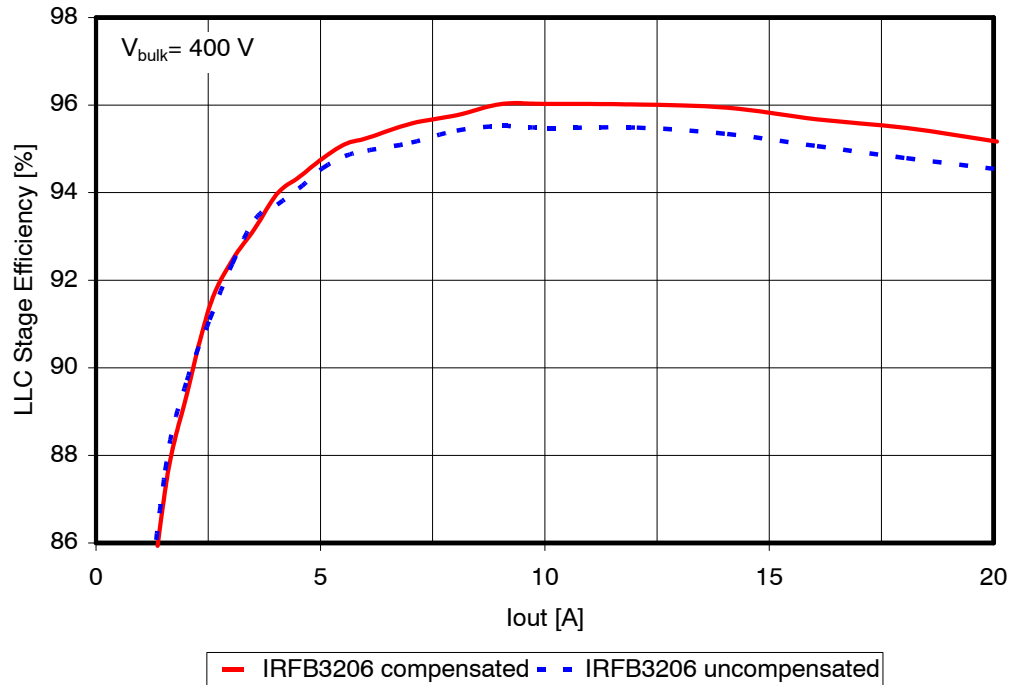


Figure 54. LLC Stage Efficiency versus Output Current for Compensated and Uncompensated SR Systems Featuring IRFB3206 MOSFETs and Nominal Bulk Voltage of 400 Vdc

AND8460/D

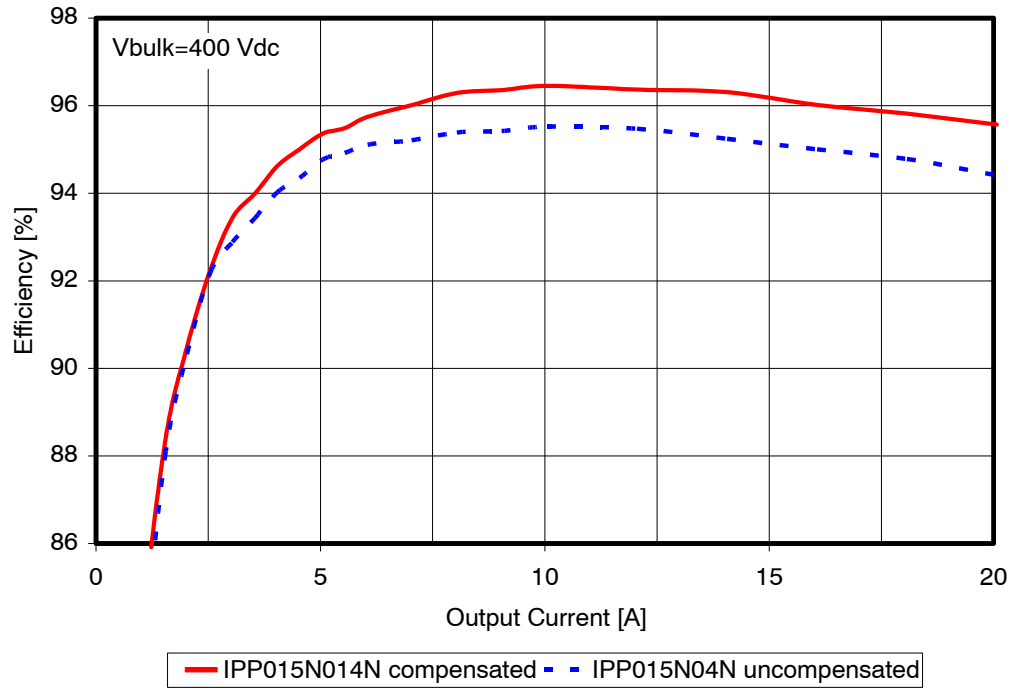


Figure 55. LLC Stage Efficiency versus Output Current for Compensated and Uncompensated SR Systems Featuring IPP015N04N MOSFETs and Nominal Bulk Voltage of 400 Vdc

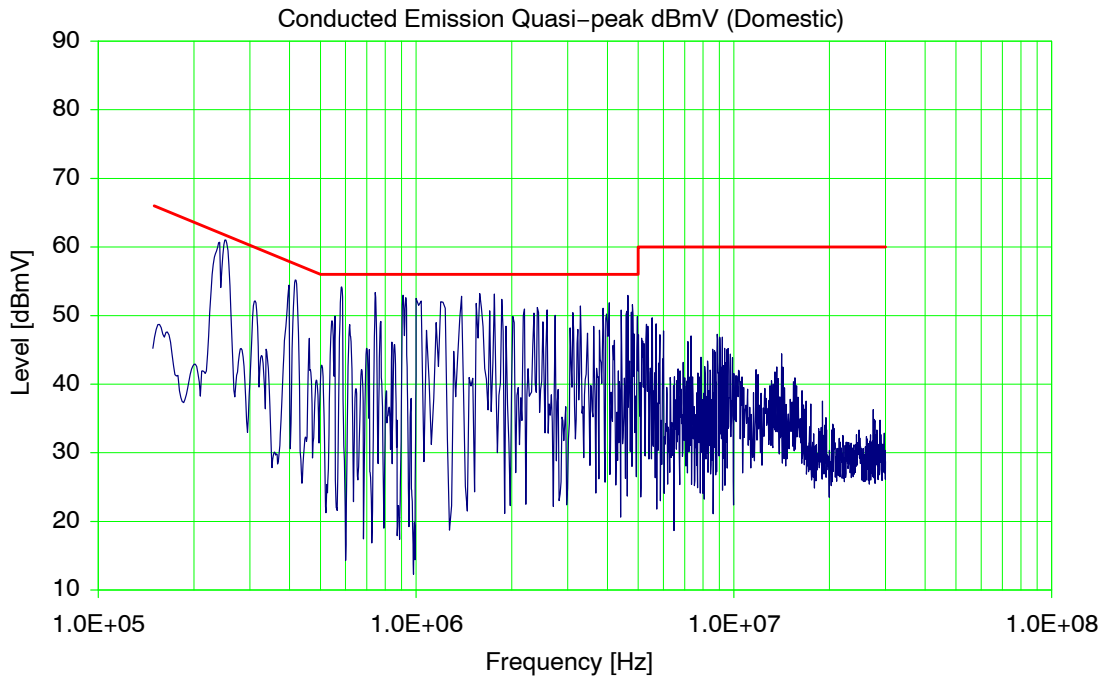


Figure 56. Conducted EMI Signature of the Board at Full Load and 110 V_{AC} Input

AND8460/D

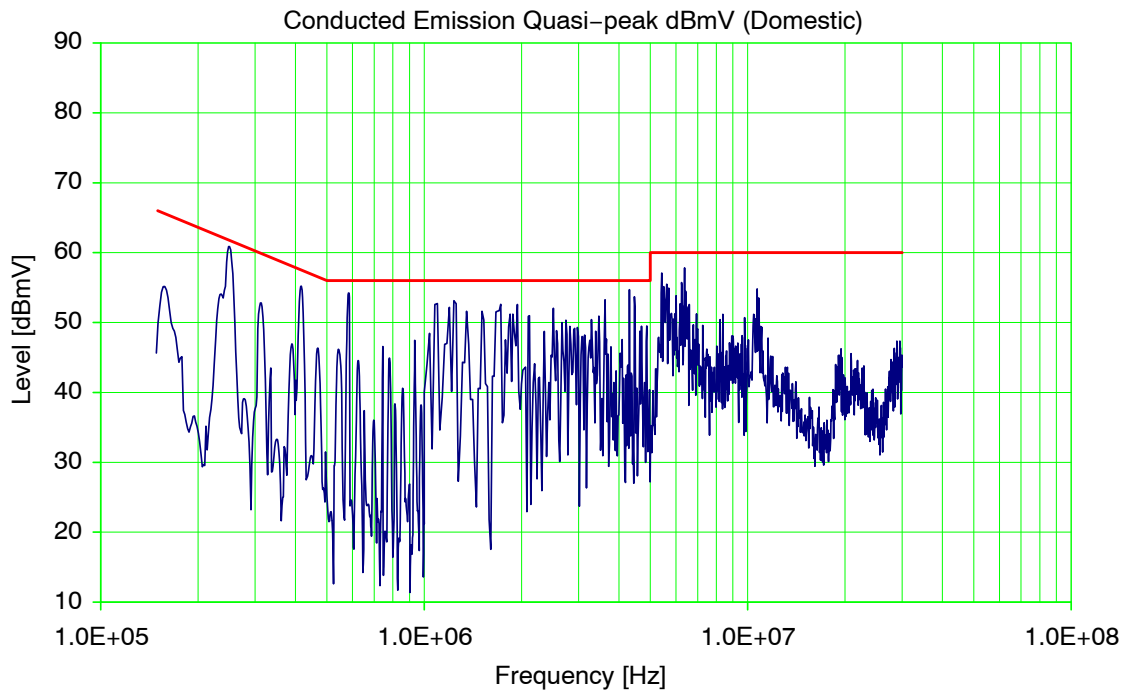


Figure 57. Conducted EMI Signature of the Board at Full Load and 230 V_{AC} Input

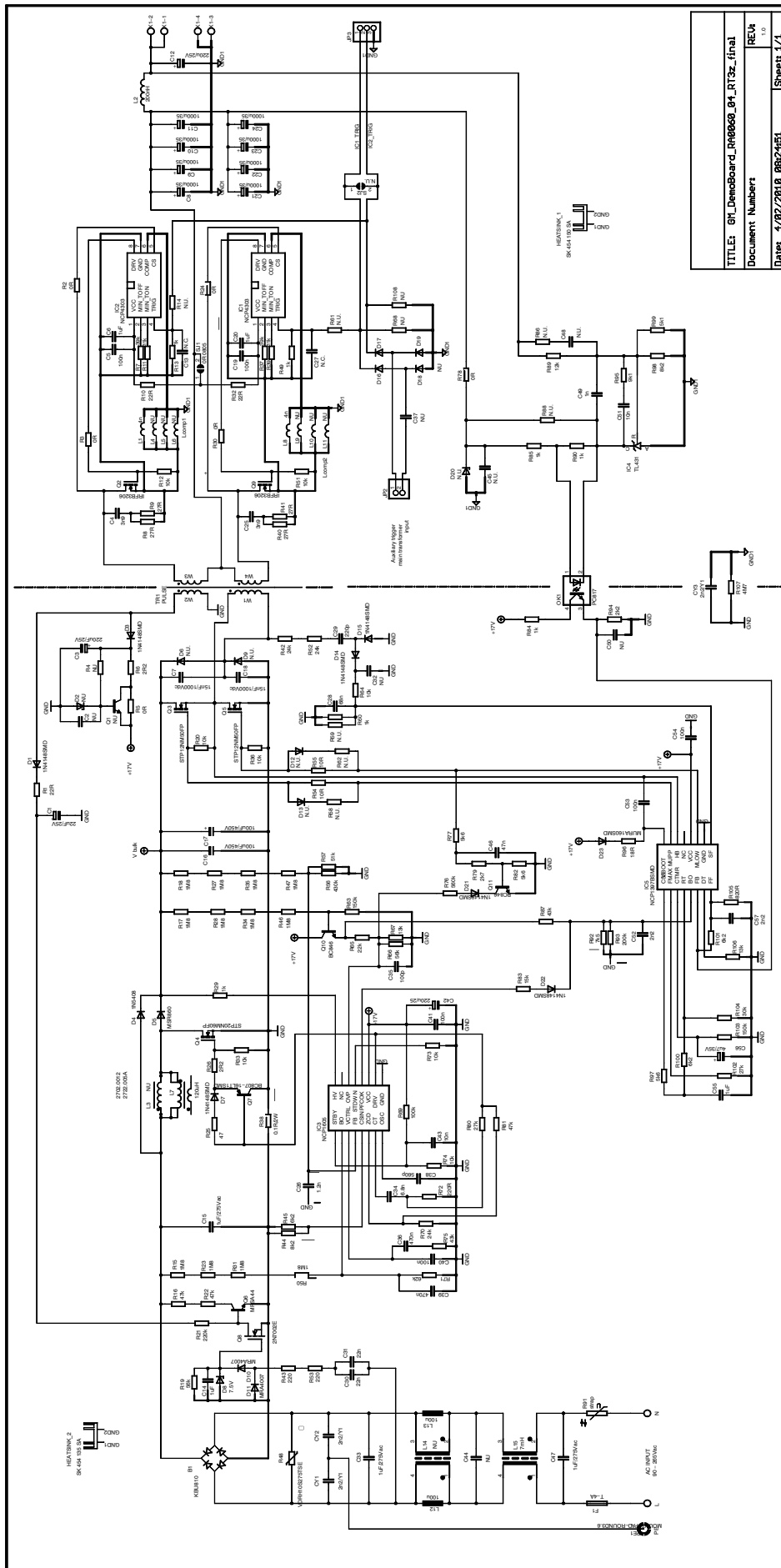


Figure 58. Demoboard Schematic Including PCB Options

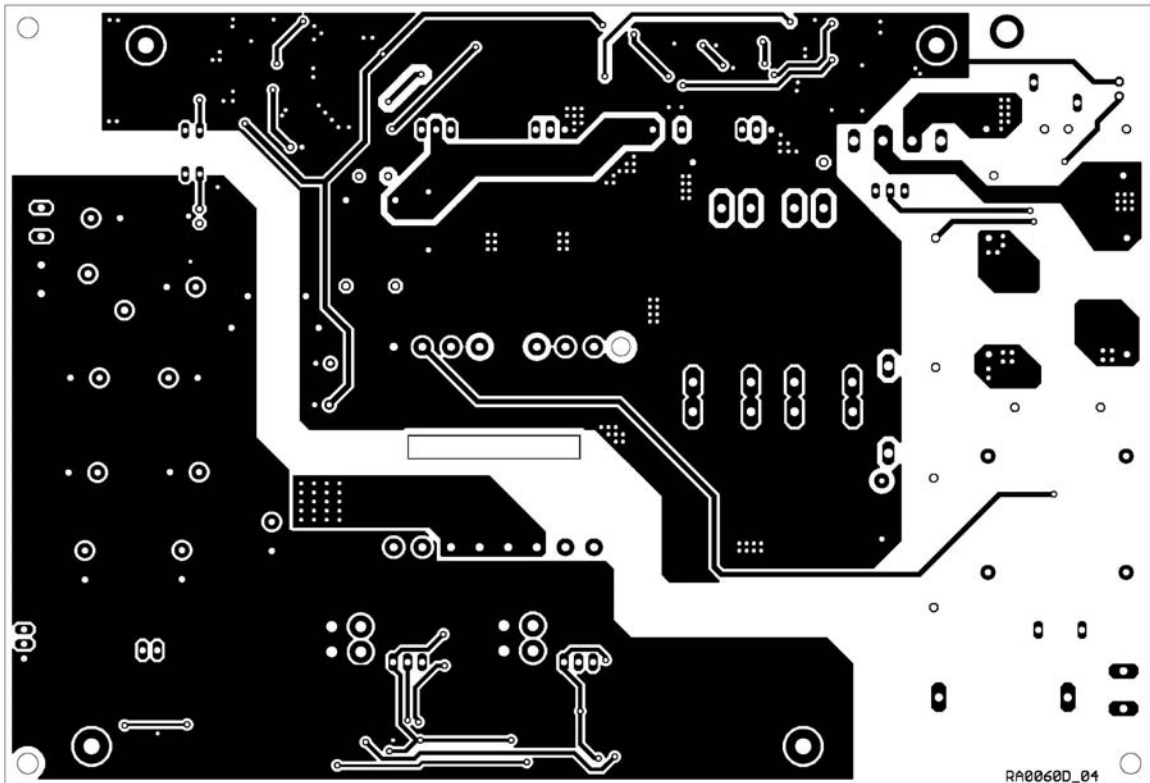


Figure 59. Top Side of the PCB

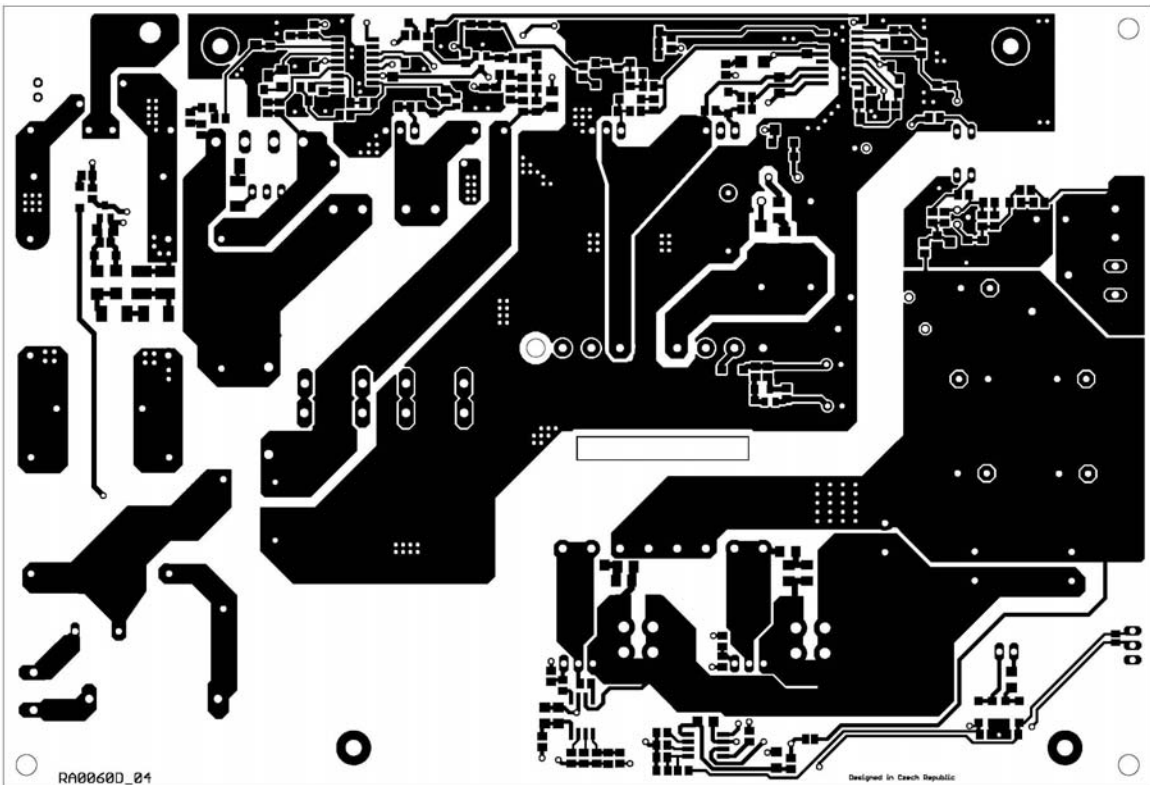


Figure 60. Bottom Side of the PCB

AND8460/D

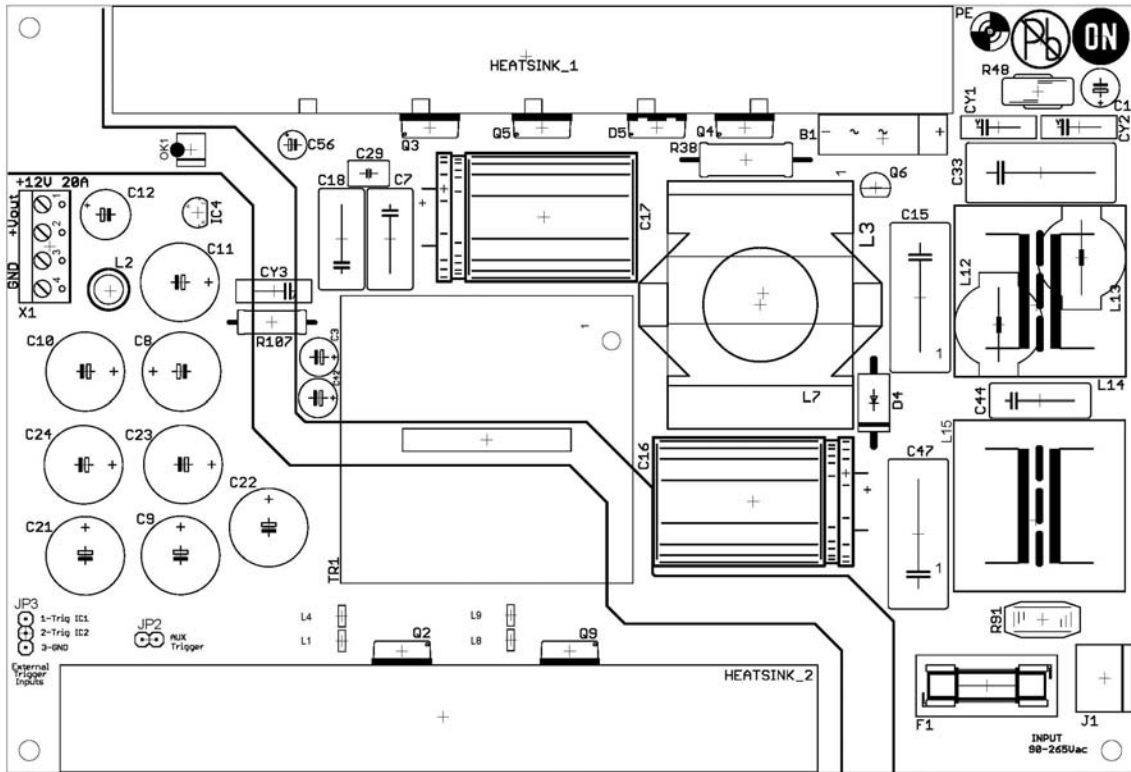


Figure 61. Top Labels

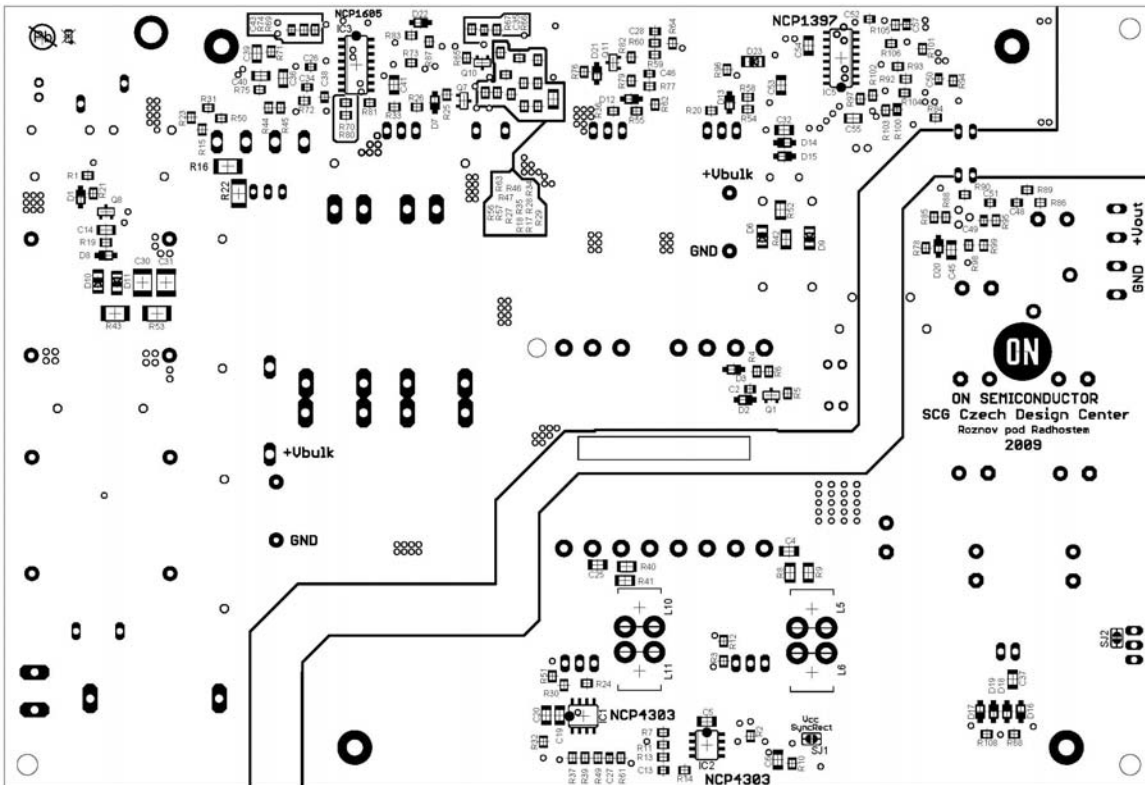


Figure 62. Bottom Labels

AND8460/D

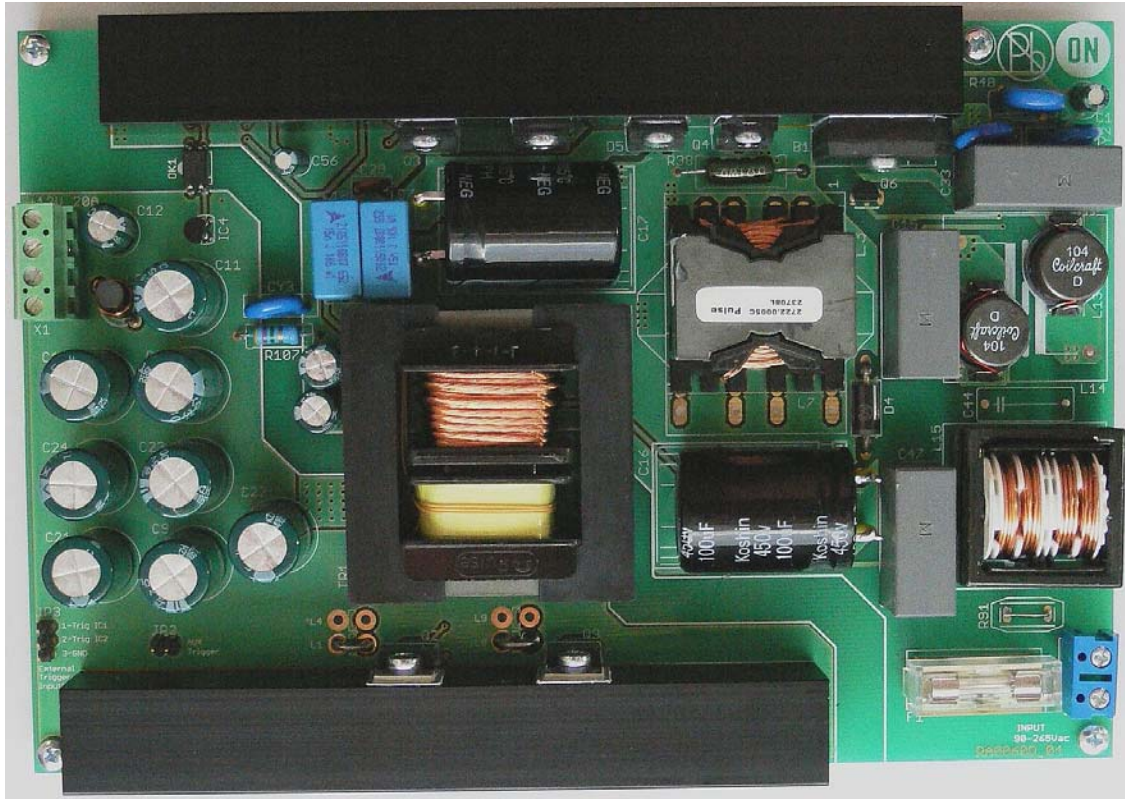


Figure 63. Demoboard Photo – Top Side

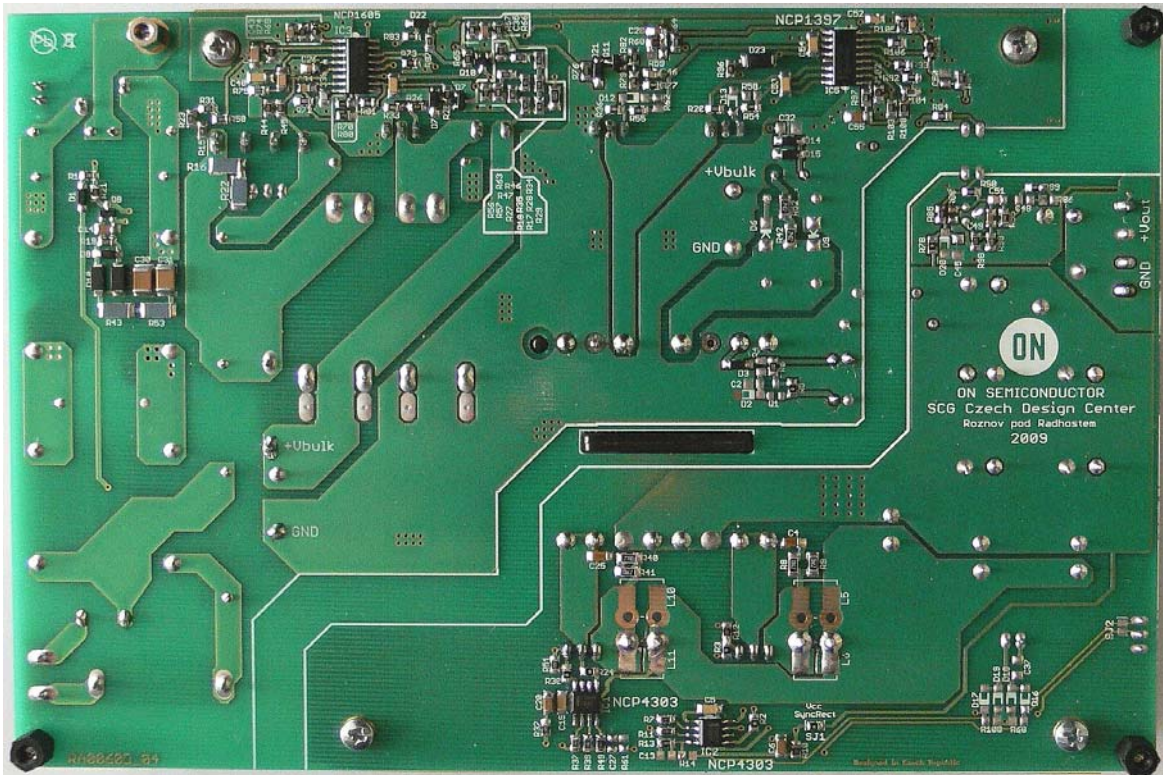


Figure 64. Demoboard Photo – Bottom Side

AND8460/D

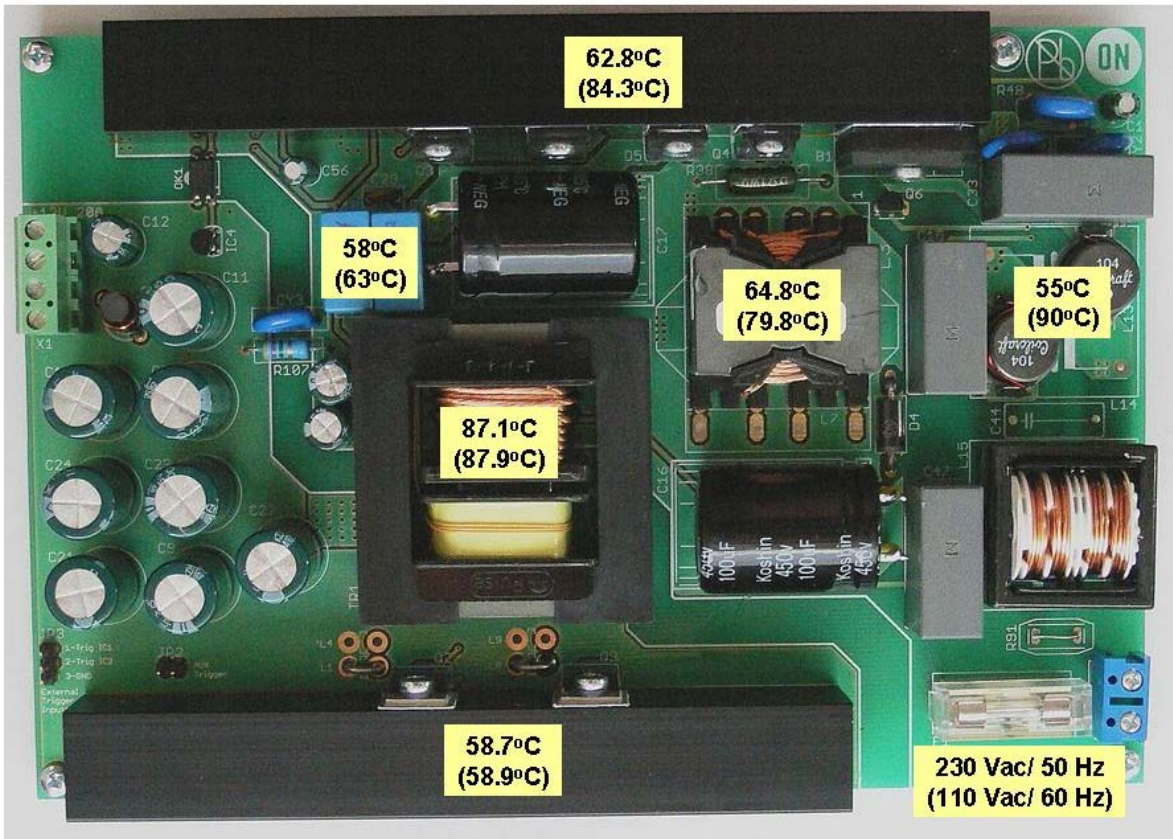


Figure 65. Фотография демонстрационной платы, верхняя сторона с измеренными температурами на полностью загруженной плате

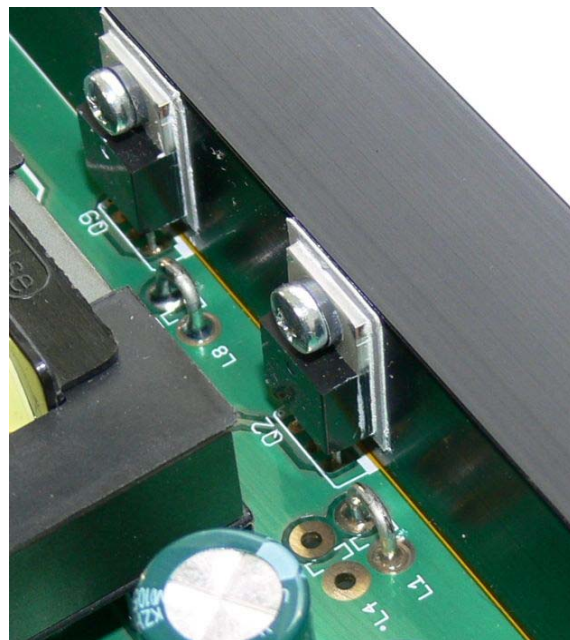


Figure 66. Детальное фото индуктивностей компенсации SR

AND8460/D

Table 6. BILL OF MATERIALS FOR THE NCP4303 DEMO BOARD

Designator	Qty	Description	Value	Tolerance	Footprint	Manufacturer	Manufacturer Part Number	Substitution Allowed	Pb-Free
B1	1	Bridge Rectifier	KBU8M	-	KBU8M	Fairchild	KBU8M	Yes	Yes
C1	1	Electrolytic Capacitor	22 mF / 25 V	20%	Through Hole	Koshin	KZH-025V220MC110	Yes	Yes
C3, C12, C42	3	Electrolytic capacitor	220 mF / 25 V	20%	Through Hole	Koshin	KZH-025V221MF115	Yes	Yes
C2, C13, C27	3	MKP Capacitor	NU	-	805	-	-	Yes	Yes
C6, C14, C20, C55	4	Ceramic Capacitor	1 mF	10%	1206	Kemet	C1206F105K5RACTU	Yes	Yes
C15, C33, C47	3	MKP Capacitor	1.0 μ F / 275 Vac	20%	Through Hole	Epcos	B32923C3105M	Yes	Yes
C16, C17	1	Electrolytic Bulk Capacitor	100 μ F / 450 V	20%	Through Hole	Koshin	KPH-450V100UF	Yes	Yes
C50	1	Ceramic Capacitor	NU	-	805	-	-	Yes	Yes
C26	1	Ceramic Capacitor	1.2 nF	10%	805	Kemet	C0805C124K1RACTU	Yes	Yes
C38	1	Ceramic Capacitor	560 pF	10%	805	Kemet	C0805C561K5RACTU	Yes	Yes
C28	1	Ceramic Capacitor	68 nF	10%	805	Kemet	C0805C683K5RACTU	Yes	Yes
C29	1	Ceramic Capacitor	220 pF	10%	Through Hole	Kemet	C0805C221K5RACTU	Yes	Yes
C30, C31	2	Ceramic Capacitor	22 nF / 1 kV	10%	1812	Kemet	C1812C223KDRACTU	Yes	Yes
C32, C37	2	Ceramic Capacitor	NU	-	1206	-	-	Yes	Yes
C34	1	Ceramic Capacitor	6.8 nF	10%	805	Kemet	C0805C682K5RACTU	Yes	Yes
C35	1	Ceramic Capacitor	100 pF	10%	805	Kemet	C0805C101K5GACTU	Yes	Yes
C36, C39	2	Ceramic Capacitor	470 nF	10%	1206	Kemet	C1206C474K5RACTU	Yes	Yes
C4, C25	2	Ceramic Capacitor	3.9 nF	10%	1206	Kemet	C1206C392K5RACTU	Yes	Yes
C5, C19, C40, C41, C53, C54	6	Ceramic Capacitor	100 nF	10%	1206	Kemet	C1206C104K5RACTU	Yes	Yes
C43, C51	2	Ceramic Capacitor	10 nF	10%	805	Kemet	C0805C103K5RACTU	Yes	Yes
C44	1	Capacitor	NU	-	Through Hole	-	-	Yes	Yes
C45	1	Ceramic Capacitor	NU	-	1206	-	-	Yes	Yes
C46	1	Ceramic Capacitor	47 nF	10%	805	Kemet	C0805C473K5RACTU	Yes	Yes
C48	1	Ceramic Capacitor	NU	-	805	-	-	Yes	Yes
C49	1	Ceramic Capacitor	1 nF	10%	805	Kemet	C0805C102K5RACTU	Yes	Yes
C52, C57	2	Ceramic Capacitor	2.2 nF	10%	805	Kemet	C0805C222K5RACTU	Yes	Yes
C56	1	Electrolytic Capacitor	4.7 mF / 50 V	20%	Through Hole	Koshin	KLH-050V4R7MC110	Yes	Yes
C7, C18	2	Metal Film Capacitor	15 nF / 1600 V	5%	Through Hole	Epcos	B32652A1153J	No	Yes
C8, C9, C10, C11, C21, C22, C23, C24	8	Electrolytic Capacitor	1000 mF / 35 V	20%	Through Hole	Koshin	KZH-035V102MH250	Yes	Yes
CY1, CY2, CY3	3	Ceramic Capacitor	2.2 nF / Y1/X1	20%	Through Hole	Murata	DE1E3KX222MA5B	Yes	Yes
D1, D3, D7, D14, D15, D21, D22, D23, R6	9	Switching Diode	MMSD4148	-	SOD-123	ON Semiconductor	MMSD4148T3G	No	Yes
D10, D11	2	Surface Mount Ultrafast Power Rectifier	MURA160	-	SMA	ON Semiconductor	MURA160T3G	No	Yes
D12, D13	2	Diode	NU	-	SOD-123	-	-	Yes	Yes
D16, D17, D18, D19	4	Diode	NU	-	SOD-123	-	-	Yes	Yes
D2	1	Diode	NU	-	SOD-123	-	-	Yes	Yes
D20	1	Diode	NU	-	SOD-123	-	-	Yes	Yes
D4	1	Standard Recovery Rectifier	1N5408	-	Axial Lead	ON Semiconductor	1N5408RLG	No	Yes
D5	1	Soft Recovery Rectifier	MSRF860	-	TO220 (2 LEAD)	ON Semiconductor	MSRF860G	No	Yes
D6, D9	2	Diode	NU	-	SMA	-	-	Yes	Yes

AND8460/D

Table 6. BILL OF MATERIALS FOR THE NCP4303 DEMO BOARD

Designator	Qty	Description	Value	Tolerance	Footprint	Manufacturer	Manufacturer Part Number	Substitution Allowed	Pb-Free
D8	1	Zener Diode	7.5 V	5%	SOD-123	ON Semiconductor	MMSZ7V5T1G	No	Yes
HEATSINK_1	1	Heat Sink	SK 454 150 SA	-	SK 454 150 SA	Fischer Elektronik	SK 454 150 SA	Yes	Yes
HEATSINK_2	1	Heat Sink	SK 454 135 SA	-	SK 454 135 SA	Fischer Elektronik	SK 454 135 SA	Yes	Yes
IC1, IC2	2	Secondary Side Synchronous Rectifier	NCP4303B	-	SOIC-8	ON Semiconductor	NCP4303BDR2G	No	Yes
IC3	1	Power Factor Controller	NCP1605	-	SOIC-16	ON Semiconductor	NCP1605ADR2G	No	Yes
IC4	1	Programmable Precision Reference	TL431	0.4%	TO-92	ON Semiconductor	TL431BCLPG	No	Yes
IC5	1	Resonant Mode Controller	NCP1397B	-	SOIC-16	ON Semiconductor	NCP1397BDR2G	No	Yes
J1	1	Input Terminal Block	Pitch 7.5 mm	-	CTB0110/2	Camden El.	CTB0110/2	Yes	Yes
JP2	1	Jumper 1x2	-	-	2 x 2.54 mm	Various	-	Yes	Yes
JP3	1	Jumper 1x3	-	-	3 x 2.54 mm	Various	-	Yes	Yes
L1, L8	2	Inductor - Wire Strap	-	-	Wire Strap	-	-	Yes	Yes
L12, L13	2	Inductor	100 μ H	20%	DO5040H	Coilcraft	DO5040H-104MLB	Yes	Yes
L14	1	Inductor	NU	-	-	-	-	Yes	Yes
L15	1	EMI filter	7 mH	15%	TLBI	Pulse	6001.0069	Yes	Yes
L2	1	Inductor	200 nH	20%	L-US20A	Bohemia Electric	TC-05001510-00	Yes	Yes
L3	1	Inductor	NU	-	-	-	-	Yes	Yes
L4, L5, L6, L9, L10, L11	6	Inductor	NU	-	-	-	-	Yes	Yes
L7	1	Inductor	120 μ H	10%	2722.0005C	Pulse	2722.0005C	Yes	Yes
OK1	1	Opto Coupler	HCPL-817	-	DIP-4	Avago Technologies	HCPL-817-000E	Yes	Yes
Q1	1	General Purpose Transistor	NU	-	SOT-123	-	-	Yes	Yes
Q10, Q11	2	General Purpose Transistor NPN	BC846	-	SOT-123	ON Semiconductor	BC846ALT1G	No	Yes
Q2, Q9	2	MOSFET transistor	IRFB3206	-	TO-220	International Rectifier	IRFB3206GPBF	Yes	Yes
Q3, Q5	2	MOSFET transistor	STP12NM50FP	-	TO-220	ST Microelectronics	STP12NM50FP	Yes	Yes
Q4	1	MOSFET transistor	STP20NM60FP	-	TO-220	ST Microelectronics	STP20NM60FP	Yes	Yes
Q6	1	High Voltage Transistor NPN	MPSA44	-	TO-92	ON Semiconductor	MPSA44RL1G	No	Yes
Q7	1	PNP General Purpose Transistor	BC807-16L	-	SOT-22	ON Semiconductor	BC807-16LT1G	No	Yes
Q8	1	Small Signal MOSFET N-Channel	2N7002E	-	SOT-23	ON Semiconductor	2N7002ET1G	No	Yes
R1, R10, R32	3	Resistor SMD	22 R	1%	805	Rohm Semiconductor	MCR10EZPF22R0	Yes	Yes
R100, R101	2	Resistor SMD	6.2 k	1%	805	Rohm Semiconductor	MCR10EZHf6201	Yes	Yes
R104	1	Resistor SMD	30 k	1%	805	Rohm Semiconductor	MCR10EZHf3002	Yes	Yes
R105	1	Resistor SMD	820 R	1%	805	Rohm Semiconductor	MCR10EZPF8200	Yes	Yes
R107	1	Resistor through hole, high voltage	4.7 M	5%	414	Vishay	VR37000004704JA100	Yes	Yes
R11, R39	2	Resistor SMD	11 k	1%	805	Rohm Semiconductor	MCR10EZPF1102	Yes	Yes
R12, R20, R33, R36, R51, R64, R73, R74	8	Resistor SMD	10 k	1%	805	Rohm Semiconductor	MCR10EZPF1002	Yes	Yes
R13, R49, R60, R84, R85, R90	6	Resistor SMD	1 k	1%	805	Rohm Semiconductor	MCR10EZPF1001	Yes	Yes
R14, R58, R59, R61, R62, R86, R88	7	Resistor SMD	NU	-	805	-	-	Yes	Yes

AND8460/D

Table 6. BILL OF MATERIALS FOR THE NCP4303 DEMO BOARD


Designator	Qty	Description	Value	Tolerance	Footprint	Manufacturer	Manufacturer Part Number	Substitution Allowed	Pb-Free
R15, R17, R18, R23, R27, R28, R31, R34, R35, R46, R47, R50	12	Resistor SMD	1.8 M	1%	805	Rohm Semiconductor	MCR10EZHf1804	Yes	Yes
R16, R22	2	Resistor SMD	47 k	5%	2010	Vishay	CRCW201047K0JNEF	Yes	Yes
R19, R66	2	Resistor SMD	56 k	1%	805	Rohm Semiconductor	MCR10EZHf5602	Yes	Yes
R2, R3, R24, R30, R78	5	Resistor SMD	0 R	-	805	Rohm Semiconductor	MCR10EZPJ000	Yes	Yes
R21	1	Resistor SMD	220 k	1%	805	Rohm Semiconductor	MCR10EZPF2203	Yes	Yes
R25	1	Resistor SMD	47 R	1%	805	Rohm Semiconductor	MCR10EZPF47R0	Yes	Yes
R29	1	Resistor SMD	1 k	1%	1206	Rohm Semiconductor	MCR18EZPF1001	Yes	Yes
R38	1	Resistor Through Hole	0.1 R / 3 W	1%	Axial Lead	Vishay	PAC300001007FAC000	Yes	Yes
R4, R68, R108	3	Resistor SMD	NU	-	805	-	-	Yes	Yes
R42, R52	2	Resistor SMD	24 k	1%	1206	Rohm Semiconductor	MCR18EZPF2402	Yes	Yes
R43, R53	2	Resistor SMD	220 R	5%	2010	Vishay	CRCW2010220RJNEF	Yes	Yes
R44, R98	2	Resistor SMD	8.2 k	1%	805	Rohm Semiconductor	MCR10EZHf8201	Yes	Yes
R45	1	Resistor SMD	6.2 k	1%	805	Rohm Semiconductor	MCR10EZHf6201	Yes	Yes
R48	1	Varistor	S10K275	-	Disc - 10 mm	Epcos	B72210S0271K101	Yes	Yes
R54, R55	2	Resistor SMD	10 R	1%	805	Rohm Semiconductor	MCR10EZPF10R0	Yes	Yes
R56	1	Resistor SMD	430 k	1%	805	Rohm Semiconductor	MCR10EZPF4303	Yes	Yes
R57	1	Resistor SMD	51 k	1%	805	Rohm Semiconductor	MCR10EZHf5102	Yes	Yes
R5, R26	2	Resistor SMD	2.2 R	1%	805	Rohm Semiconductor	MCR10EZHJ2R2	Yes	Yes
R63, R103	2	Resistor SMD	150 k	1%	805	Rohm Semiconductor	MCR10EZPF1503	Yes	Yes
R65	1	Resistor SMD	22 k	1%	805	Rohm Semiconductor	MCR10EZHf2202	Yes	Yes
R67, R106	2	Resistor SMD	13 k	1%	805	Rohm Semiconductor	MCR10EZHf1302	Yes	Yes
R69	1	Resistor SMD	100k	1%	805	Rohm Semiconductor	MCR10EZPF1003	Yes	Yes
R7, R37	2	Resistor SMD	39 k	1%	805	Rohm Semiconductor	MCR10EZHf3902	Yes	Yes
R70	1	Resistor SMD	24 k	1%	805	Rohm Semiconductor	MCR10EZHf2402	Yes	Yes
R71	1	Resistor SMD	62 k	1%	805	Rohm Semiconductor	MCR10EZHf6202	Yes	Yes
R72	1	Resistor SMD	220 R	1%	805	Rohm Semiconductor	MCR10EZPJ221	Yes	Yes
R75, R87	2	Resistor SMD	43 k	1%	805	Rohm Semiconductor	MCR10EZHf4302	Yes	Yes
R76	1	Resistor SMD	560 k	1%	805	Rohm Semiconductor	MCR10EZPF5603	Yes	Yes
R77, R82, R97	3	Resistor SMD	5.6 k	1%	805	Rohm Semiconductor	MCR10EZHf5601	Yes	Yes
R79	1	Resistor SMD	2.7 k	1%	805	Rohm Semiconductor	MCR10EZHf2701	Yes	Yes
R8, R9, R40, R41	4	Resistor SMD	27 R	1%	1206	Rohm Semiconductor	MCR18EZPF27R0	Yes	Yes
R80, R102	2	Resistor SMD	27 k	1%	805	Rohm Semiconductor	MCR10EZHf2702	Yes	Yes
R81	1	Resistor SMD	47 k	1%	805	Rohm Semiconductor	MCR10EZHf4702	Yes	Yes
R83	1	Resistor SMD	15 k	1%	805	Rohm Semiconductor	MCR10EZHf1502	Yes	Yes
R89	1	Resistor SMD	12 k	1%	805	Rohm Semiconductor	MCR10EZHf1202	Yes	Yes
R91	1	NTC Thermistor	B57235S509M	20%	Disc - Radial	Epcos	B57235S509M	Yes	Yes
R92	1	Resistor SMD	7.5 k	1%	805	Rohm Semiconductor	MCR10EZHf2701	Yes	Yes
R93	1	Resistor SMD	200 k	1%	805	Rohm Semiconductor	MCR10EZPF2003	Yes	Yes
R94	1	Resistor SMD	2.2 k	1%	805	Rohm Semiconductor	MCR10EZHf2201	Yes	Yes
R95	1	Resistor SMD	9.1 k	1%	805	Rohm Semiconductor	MCR10EZHf9101	Yes	Yes
R96	1	Resistor SMD	18 R	1%	805	Rohm Semiconductor	MCR10EZPF18R0	Yes	Yes
R99	1	Resistor SMD	5.1 k	1%	805	Rohm Semiconductor	MCR10EZHf5101	Yes	Yes

AND8460/D

Table 6. BILL OF MATERIALS FOR THE NCP4303 DEMO BOARD

Designator	Qty	Description	Value	Tolerance	Footprint	Manufacturer	Manufacturer Part Number	Substitution Allowed	Pb-Free
SJ1	1	SMD Jumper	0 R	5%	805	Rohm Semiconductor	MCR10EZPJ000	Yes	Yes
SJ2	1	SMD Jumper	NU	-	-	-	-	Yes	Yes
TR1	1	Transformer	-	-	-	Pulse	See AN for spec	Yes	Yes
X1	2	Output Terminal Block	Pitch 5 mm	-	20.700M/2	IMO	20.700M/2	Yes	Yes
F1 - Cover	1	Cover, PCB Fuse Holder	-	-	-	Multicomp	MCHTC-150M	Yes	Yes
F1 - Fuse	1	Fuse, Medium Delay	4 A	-	-	Bussmann	TDC 210-4A	Yes	Yes
F1 - Holder	1	Fuse Holder	-	-	SH22.5A	Multicomp	MCHTC-15M	Yes	Yes

80 PLUS is a registered trademark of ECOS Consulting.

ON Semiconductor and  are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5773-3850

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local Sales Representative